

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

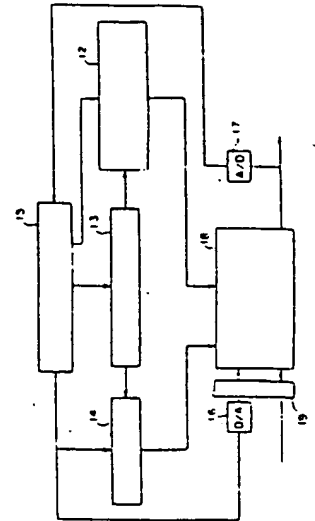
As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.

(54) LEARNING PROCESSING SYSTEM FOR NEURO-COMPUTER

(11) 2-228784 (A) (43) 11.9.1990 (19) JP
(21) Appl. No. 64-48880 (22) 1.3.1989
(71) FUJITSU LTD (72) HIDEKI YOSHIKAWA(11)
(51) Int. Cl. G06G7/60 G06F15/18

PURPOSE: To execute the forwarding operation of learning processing by the set of analog neuron processors (ANP) by providing an input control means to select either an input signal for executing a learning algorithm or an analog input signal to be inputted from an analog port.

CONSTITUTION: Weight data to be obtained by learning, etc., are supplied from an weight memory 14 to a neural network 18. The neural network 18, control pattern memory 12, sequencer 3 and weight memory 14 are controlled by the digital signal of a digital control means 15. An input control means 19 selects either the input signal for executing the learning algorithm to be inputted from the digital control means 15 or the analog input signal to be inputted from the analog port and adds the selected signal to the ANP. Then, the neural network executes the forwarding processing of the learning. Thus, in a hierarchical network having the small number of wires, the forwarding operation of the learning processing can be executed by the set of the ANP.



15. digital control means (learning algorithm). 18. neural network composed of ANP

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-228784

⑬ Int. Cl.³
G 06 G 7/60
// G 06 F 15/18

識別記号 庁内整理番号
6745-5B
6745-5B

⑭ 公開 平成2年(1990)9月11日

審査請求 未請求 請求項の数 4 (全48頁)

⑮ 発明の名称 ニューロコンピュータにおける学習処理方式

⑯ 特 願 平1-48880

⑰ 出 願 平1(1989)3月1日

⑱ 発 明 者 吉 沢 英 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 発 明 者 市 来 宏 基 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 発 明 者 加 藤 英 樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉑ 発 明 者 浅 川 和 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉓ 代 理 人 弁 理 士 大 菅 義 之 外1名

最終頁に続く

明 細 書

1. 発明の名称

ニューロコンピュータにおける学習処理方式

2. 特許請求の範囲

1) アナログ信号を第1のアナログバスから時分割的に入力し、積和演算を行ってアナログ信号を第2のアナログバスに出力するアナログニューロプロセッサの集合からなるニューラルネットワーク(18)と、

該ニューラルネットワーク(18)の制御信号のパターンを格納する制御パターンメモリ(12)と、

該制御パターンメモリと重みメモリのアドレスを発生するシーケンサ(13)と、

各アナログニューロプロセッサの重みデータを格納する重みメモリ(14)と、

前記ニューラルネットワーク(18)と制御パターンメモリ(12)とシーケンサ(13)と重

みメモリ(14)とを制御するとともに学習アルゴリズムを実行するディジタル制御手段(15)と、

前記ニューラルネットワーク(18)の入力段に設けられ、該ディジタル制御手段(15)から入力される学習アルゴリズムを実行するための入力信号かアナログポートから入力されるアナログ入力信号かの一方を選択する入力制御手段(19)とからなることを特徴とするニューロコンピュータにおける学習処理方式。

2) 前記入力制御手段は、学習時にネットワークの重み情報として多重記憶すべき完全情報の各情報を与えられる順序に従って格納していくFIFO手段と、

該FIFO手段に接続されるD/A変換手段と、MPUからの特定のアドレスをデコードするアドレスデコード手段と、

前記特定なアドレスが指定される場合にMPUからのデータを少なくとも1ビットをラッチするラッチ手段と、

前記ラッチ情報に従って前記アナログニューラルネットに入力すべき入力信号をアナログ入力ポートからの信号か前記FIFO手段の出力信号かを選択する選択手段と、

前記選択手段でFIFOの出力が選択されるとき前記制御パターンメモリからのCSI信号に従って前記FIFOから読み出したデータをD/A変換を介して、前記ANPに送信してCSO信号を出力するディジター回路手段と、

前記FIFOがエンブティになったことを示す信号の発生したとき前記FIFOから出力を停止する手段とからなることを特徴とする請求項1記載のニューロコンピュータにおける学習処理方式。

3) 学習アルゴリズムを処理するディジタル制御手段が各FIFOから出力される各完全情報に回答して生成される前記ニューラルネットワークの出力と教師信号または前の出力値との誤差から重み更新量を計算し、前記重み更新量を重みメモリを介して前記ニューラルネットワークに与える動作を前記誤差が小さくなるまで繰り返して決定

した重み情報を重みメモリに格納することを特徴とする請求項1記載のニューロコンピュータにおける学習処理方式。

4) 前記ディジター回路のCSO信号を前記FIFOのエンブティ信号によって制御された信号としてCSIに帰還することで前記FIFOがエンブティになるまで前記D/Aコンバータを介して前記ANPに送信することを特徴とする請求項2記載のニューロコンピュータにおける学習処理方式。

3. 発明の詳細な説明

(概要)

アナログニューロンチップをアナログ時分割伝送路により結合することで実現され学習機能を有するニューロコンピュータにおける学習処理方式に関し

少ない配線本数で階層ネットワークを構成する基本ユニット間でのデータの授受を実現できるようにすることで、しかも学習処理の前向き動作を

アナログニューロンプロセッサの集合で行うことが可能なネットワーク構成データ処理装置を実現できるようにすることを目的とし、

アナログ信号を第1のアナログバスから時分割的に入力し、積和演算を行ってアナログ信号を第2のアナログバスに出力するアナログニューロプロセッサの集合からなるニューラルネットワークと、該ニューラルネットワークの制御信号のパターンを格納する制御パターンメモリと、該制御パターンメモリと重みメモリのアドレスを発生するシーケンサと、各アナログニューロプロセッサの重みデータを格納する重みメモリと、前記ニューラルネットワークと制御パターンメモリとシーケンサと重みメモリとを制御するとともに学習アルゴリズムを実行するディジタル制御手段と、前記ニューラルネットワークの入力段に設けられ、該ディジタル制御手段から入力される学習アルゴリズムを実行するための入力信号かアナログポートから入力されるアナログ入力信号かの一方を選択する入力制御手段とからなるように構成する。

(産業上の利用分野)

本発明は、ニューロコンピュータに係り、更に詳しくは、アナログニューロンチップをアナログ時分割伝送路により結合することで実現され学習機能を有するニューロコンピュータにおける学習処理方式に関する。

(従来の技術)

従来の逐次処理コンピュータ(ノイマン型コンピュータ)では、使用方法や環境の変化に応じてコンピュータのデータ処理機能を調節することが難しいので、適応性を有するデータ処理方式として、新たに階層ネットワークによる並列分散処理方式が提唱されてきている。特に、バックプロパゲーション法と呼ばれる処理方式(D.E. Rumelhart, G.E. Hinton, and R.J. Williams, "Learning Internal Representations by Error Propagation", PARALLEL DISTRIBUTED PROCESSING, Vol.1, pp. 318-364, The MIT Press, 1986)が、その実用性の高さから注目されている。

228784(2)

ることを特徴
コンピュータにお

信号を前記F1
用された信号と
FIFOがエン
パークを介して
とする請求項2
における学習処理方

アナログ時分割伝
送され学習機能を有
における学習処理方式

ネットワークを構成する
授受を実現できるよ
うな処理の向きの動作を

コンピュータに係り、更に
アナログチップをアナログ
することによって実現され学習
コンピュータにおける学習

コンピュータ(ノイマン型コン
ピュータ)法や環境の変化に応じて
処理機能を調節することが
得るデータ処理方式とし
ネットワークによる並列分散処理
している。特に、バックプロパ
グレーション処理方式(D.E. Rumelhart,
J. Williams, "Learning
Representations by Error Propagation",
IN PROCEEDINGS, Vol.1, pp.
318-321, 1986)が、その実用性
を有している。

バック・プロパゲーション法では、基本ユニ
ットと呼ぶ一種のノードと重みを持つ内部結合とから
階層ネットワークを構成している。第28図に、
基本ユニット1の原理構成を示す。この基本ユニ
ット1は、連続ニューロンモデルに類似した処理
を実行する。すなわち、これは多入力-出力系と
なっており、複数の入力(Y_i)に対しそれぞれの
内部結合の重み(W_{ij})を乗じる乗算処理部
2と、それらの全乗算結果を加算する累算処理部
3と、この加算値に非線形の閾値処理を施して1
つの最終出力X_jを出力する閾値処理部4とを備
える。

第29図は階層型ニューラルネットワークの構
成概念図である。構成の多数の基本ユニット(1
-h, 1-i, 1-j)が、第29図に示すよう
に階層的に接続されることで、入力信号パターン
に対応するところの出力信号パターンが出力され
ることになる。

学習時には、出力パターンと目的とする教師パ
ターンの差が小さくなるように、各階層間の結合

の重み(W_{ij})が決定される。このような学習
は、複数の入力パターンに対して行われ、多重化
される。また、連想時には、入力パターンが学習
時に入力した完全情報と少し異なる不完全な情報
であっても、学習時の教師パターンに近い出力パ
ターンが得られることにより、連想処理が可能と
なる。

(発明が解決しようとする課題)

このような構成のニューロコンピュータを現実
のものとしていくためには、階層ネットワークを
構成することになる基本ユニット1間のデータの
授受を、できる限り少ない配線本数で実現してい
く必要がある。このことは、複雑なデータ処理を
実現していくために、階層ネットワークの構成を
より多層化したり、基本ユニットの数を増してい
く必要があるという背景のもとで、どうしても解
決していかなくてはならない課題の1つなのであ
る。

しかしながら、先に説明したデータ転送方式で
は、第29図に示す階層ネットワークの構成から

も明らかなように、2つの層間の配線本数が極め
て多くなることから、階層ネットワークをチップ
化するとき、小さくできなくなると共に、信頼
性を高めることができなくなるといった問題点があ
る。例えば、隣接する2つの層の基本ユニット数
を同じとし、すべての基本ユニット1が互いに接
続されるという完全結合を想定するならば、配線
本数は基本ユニット数の2乗に比例して増加する
ことになる。このように、配線本数が急激に増加
してしまう。

本発明は、少ない配線本数で階層ネットワーク
を構成する基本ユニット間でのデータの授受を実
現できるようにすることで、しかも学習処理の前
向き動作をアナログニューロプロセッサの集合
で行うことが可能なネットワーク構成データ処理
装置を実現できるようにすることを目的とするも
のである。

(課題を解決するための手段)

第1A図は本発明のニューロコンピュータのシ

ステムブロック図である。

ニューラルネットワーク18は各層の入力側に
ある共通の第1のアナログバスからアナログ信号
を時分割で入力しデジタル重みデータを用いて積
和演算を実行してアナログ信号をその層の出力側
にある共通の第2のアナログバスに出力するアナ
ログニューロプロセッサ(以下ANPと記す)の
集合を層とする少なくとも1層以上のネットワ
ークである。

制御パターンメモリ12は前記ニューラルネ
ットワークの制御信号のパターンを格納する。重み
メモリ14は重みデータを格納する。シーケンサ
13は該制御パターンメモリ12及び重みメモリ
14のアドレスを発生する。デジタル制御手段1
5はMPUと主記憶を有する汎用の処理装置であ
ってネットワーク18とD/A及びA/Dコンバ
ータ16、17を介して接続され、前記ニュー
ラルネットワーク、制御パターンメモリ、シーケ
ンサ、重みメモリの全体を制御する。学習処理のた
めにANPネットワーク18の入力段にはディジ

タル制御手段15からの信号とアナログ入力信号とが加えられる入力制御手段19を設ける。

(作 用)

アナログ入力信号を時分割でアナログニューロチップに入力し、この信号と重みデータとの積を取り、この積信号をそれぞれ加算して得られる積和信号を非線形関数回路を通して出力することによりアナログニューロチップを構成する。このアナログニューロチップを複数個用いて階層型あるいは帰還型のニューラルネットワーク18を構成し、このニューラルネットワーク18にシーケンサ13によってアクセスすべきアドレスが与えられた制御パターンメモリ12から出力される制御信号を加える。またニューラルネットワーク18には学習等によって得られる重みデータが重みメモリ14から供給される。そしてニューラルネットワーク18、制御パターンメモリ12、シーケンサ13、重みメモリ14はデジタル制御手段15のデジタル信号によって制御され、且つ管

理される。また、デジタル制御手段15内のMPUでは、特に、学習アルゴリズムが実行され、かつ出力信号のチェックなどが行われる。このようにして、時分割アナログ入力信号と時分割アナログ出力信号を用いることを特徴とするアナログニューロコンピュータシステムが実現される。

そして、入力制御手段19は、デジタル制御手段15から入力される学習アルゴリズムの実行のための入力信号かアナログポートから入力されるアナログ入力信号かのいずれか一方を選択してANPに加える。ニューラルネットは学習の前向き処理を実行する。

(実 施 例)

第1B図は本発明のニューロチップから構成されるアナログニューロプロセッサ(ANP)11のデュアルインラインパッケージの概略図である。これは、MB4442と呼ばれニューロンモデルの処理を実行する。内部の関数処理部はシグモイド関数で置換したモデルとなっている。アナログ

ニューロチップはANPと呼ばれ、アナログデータを入出力するデバイスである。第1C図は本発明のANPの内部構成図である。第1C図に示すようにANP11はアナログバスB1とアナログバスB2の間に接続される。ANP11は入力するアナログ信号と重みを掛けるアナログ乗算部22、積の和を求めるアナログ加算部23、和を保持するサンプル/ホールド部24、シグモイド関数の値を出力する非線形関数部25よりなる。第1B図のANP11の各端子を説明する。ANP11の内部はアナログ回路部とデジタル回路部から構成されている。+6ボルトの端子は、アナログ回路部のオペアンプに供給される電源端子である。D_{in}及びD_{out}はアナログ入力信号及び出力信号の端子である。AGNDはアナログ回路部の接地端子である。R_{in}+及びR_{in}-端子はアナログ回路部にある積分回路の外付抵抗Rの端子であり、C_{in}+、C_{in}-端子は同じく積分回路の外付キャパシタCの端子である。DGNDはデジタル回路部のグラウンド端子である。+5ボルト

はデジタル回路部の電源端子である。RSTは積分回路のキャパシタの電荷等のリセットを行うリセット信号端子である。CSI及びCSOはディジーチェーン用制御信号の入出力端子であり、OCはオフセットキャンセル制御信号用端子、S/H端子は、サンプル/ホールド用制御信号端子、SYNCは各層の処理に対する同期信号端子、DCLKはアナログ入力信号の処理を行うための基本クロック信号端子、WCLKはデジタル重みデータを取り込むためのクロック端子、WDはビットシリアルで入力するデジタル重みデータ用の端子である。

第2図は、本発明のアナログニューロプロセッサ(ANP)の原理構成図である。

別々のANP(図示せず)から時分割的に送られてくるアナログ入力信号をアナログバスB1からANP11内のアナログ乗算部22に入力し、このアナログ乗算部22ではシフトレジスタ27を介してビットシリアルに入力されその後直並列変換されたデジタル重みデータWDと掛け算し

図15内のM
が実行され、
られる。このよ
号と時分割アナ
とするアナログ
実現される。
デジタル制御
ゴリズムの実行
トから入力され
一方を選択して
トは学習の方向

チップから構成さ
サ(ANP)11
ジの概略図である。
のニューロンモデル
値処理部はシグモイ
っている。アナログ

子である。RSTは
同等のリセットを行う
CSI及びCSOはデ
の入出力端子であり、
ル制御信号用端子、S
ールド用制御信号端子、
する同期信号端子、D
号の処理を行うための基
CLKはデジタル重み
クロック端子、WDはビ
デジタル重みデータ用

アナログニューロプロセッ
図である。
せず)から時分割的に送ら
信号をアナログバスB1か
ログ乗算部22に投入し、
2ではシフトレジスタ27
ルに投入されその後並列
重みデータWDと掛け算し

て、アナログ入力信号とデジタル重みデータと
の積を示す積信号を得る。次の、アナログ加算部
23は、外付けの抵抗RとキャパシタCからなる
ミラー積分回路であって、アナログバスB1に接
続された前段の複数のANP(ANPの存在する
場所をノードと呼ぶ)から時分割で送られるアナ
ログ入力信号とダミーノードから送られる閾値用
のアナログ入力信号とからそれぞれ得られる積信
号の和を求めるものである。次に、サンプル/ホ
ールド部24で積信号を所望時間待たせるために
ホールドした後に、さらにそのサンプル/ホールド
された出力を非線形関数部25を介して変換する。
出力制御部26では、シーケンスジェネレータ28
の制御を受けて所定時間遅延させた後に、アナ
ログ出力信号D_{out}をアナログバスB2へ出力する。
なお、シーケンスジェネレータ28は内部に供給
される制御信号も生成する。そして、位相制御部
29では、おもにANP内のアナログ回路部とデジ
タル回路部を接続する各スイッチのオンかオフ
が確実に行われるように、制御信号の

チップを構成するANPの同時処理により、その処
理時間を改善する。また、各層ではパイプライン
処理が可能で、このことでも処理時間が小さくな
る。アナログバスに接続した例えば3個の各ニュー
ロチップには、入力が入ってくると、それは3
個とも同時に入り3個とも並列に、そのアナログ
電圧に対して、各ANPが重みとの積を生成し、
それを積分器のキャパシタに電荷として保持する。
そして、次の時間区域で、同じアナログバスのア
ナログ入力に対して、各ANPは重みとの積を形
成し積分器のキャパシタ内に前の時間区域で決ま
った積に加え込むことになる。前段のすべてのA
NPからのアナログ入力信号に対する重みとの積
に対する和が生成された後、その和はサンプル/
ホールドされる。その後、シグモイド関数を介し
て出力されるが、これは、CSI制御信号入力時
に出力されるか。そして、出力完了後にCSIが立
ち下がり、その後一定時間遅延後にCSOを立ち
上げて、出力バスの使用権を同一層内の隣接ニュー
ロチップからなるANPに与える。

位相を制御するもので、特に、第1のスイッチが
オンのとき第2のスイッチをオフにする場合それ
等のスイッチが同時にオンする場合がないように
制御信号の位相を制御する。

なお、シーケンスジェネレータ28は、リセッ
ト信号RST、DCLK、WCLK、SYNC、
S/H、OC、CSIを後述するマスタコントロ
ールブロックから入力するとともにCSOを出力
し、ANPの内部の制御信号を生成する。

ニューラルネットワークでは、同時処理により
高速演算を行う必要がある。本発明では時分割デ
ータを使っているが、定常状態では、各ANPが
パイプライン的に同時処理を行う。理想的なニュー
ラルネットワークでは、ニューロンは他のそれ
ぞれのニューロンに相互結合した結線が必要である
が、このままシステムを実現しようとすると、配
線数が多くなる。そこで、本発明では時分割デ
ータを扱うので、各ANP内の積和の処理時間が
伸びるが、それを縦方向に、すなわち同層方向に
チップを並列に並べることで、層内のニューロチ

以下、実施例に従って本発明を詳細に説明する。

第3図はニューロチップである基本ユニットの
第1の実施例構成図である。同図の乗算部32、
加算部33、閾値処理部34は連続ニューロンモ
デルの実行部であるが、この実施例では出力保持
部35が存在する。具体的には、基本ユニット3
1に接続される複数の入力をY_i、この各接続に
対応して設定される重みをW_iとするならば、乗
算部32は、

$$Y_i \cdot W_i$$

を算出し、加算部33は、

$$X = \sum Y_i \cdot W_i - \theta$$

を算出する。但し、 θ は閾値である。閾値部34
は最終出力をYとするならば、

$$Y = 1 / (1 + \exp(-X)) \cdots (1)$$

を算出することになる。

ダミーノードから入力される“+1”という値
に“- θ ”という重みをかけて加算部33で「X
- θ 」の結果が出力される。従って閾値部34で
はS字曲線による変換だけが行われている。

乗算部32は、乗算型D/Aコンバータ32aで構成され、前段層の基本ユニット31から、あるいは後述するダミーノードの回路からのアナログ信号(入力スイッチ部37を介して入力される)の入力と、その入力に対して乗算されるべきディジタル信号の重み情報(後述する重み保持部38を介して入力される)との乗算を行って、得られた乗算結果をアナログ信号で出力するよう処理するもの、加算部33は、積分器で構成されるアナログ加算器33aとアナログ加算器33aの加算結果を保持する保持回路33bとにより構成される。乗算型D/Aコンバータ32aは、D/Aコンバータの基準電圧端子にアナログ入力信号を入力し、各ディジタル入力端子に重みの各ビットをディジタル入力信号として入力するものであり、結果として、そのアナログ入力信号と重みとの積を生成する。アナログ加算器33aは、乗算型D/Aコンバータ32aの出力と、前回に求められて保持回路33bに保持されている加算値とを加算して新たな加算値を求めるもの、保持回路33

bは、アナログ加算器33aが求めた加算値をホールドするとともに、そのホールド値を前回の加算値としてアナログ加算器33aにフィードバックさせるものである。これらの加算処理は制御回路39より出力される加算制御信号に同期して実行される。閾値部34は、アナログの閾値発生回路である非線形閾値発生回路34aで構成され、入力に対してシグモイド関数等の非線形信号を出力するものである。乗算結果の累算が閾値 $(-\theta)$ の加算を含めて終了したときに、保持回路33bにホールドされている加算値Xに対し閾値 $(-\theta)$ を加えて(1)式のシグモイド関数の演算処理を施し、アナログ出力値Yを得るもの、出力保持部35は、サンプルホールド回路で構成され、後段層の基本ユニット31への出力となる非線形閾値発生回路34aのアナログ信号の出力値Yをホールドするものである。

また、36は出力スイッチ部であり、制御回路39よりの出力制御信号を受けて一定時間ONすることで、出力保持部35が保持するところの最

終出力をアナログバスB2上に出力するよう処理するもの、37は入力スイッチ部であり、制御回路39よりの入力制御信号を受けて前段層の基本ユニット31から最終出力からのアナログ出力が送られてくるときにONすることで入力の受付を行う。38は重み保持部であり、パラレルアウトシフトレジスタ等により構成され、重みメモリから送られてくるビットシリアル重み信号がバッファ38aのゲートがオープン(制御回路39による重み入力制御信号がオン)された時に、この重み信号を乗算部32が必要とするビットパラレルの重みとして保持するものである。ビットパラレルの重みは乗算制御信号が与えられたときにパラレルで乗算部に与えられる。39はディジタル回路部の制御回路で外部からの同期信号から内部の同期信号を生成するもので、内部のアナログ処理の機能の制御を実行する。

このように構成されることで、第3図の信号処理構成を採る基本ユニット31の入出力がアナログ信号でもって実現されることになるのである。

なお、乗算型D/Aコンバータ32aは、ディジタル信号の重み情報をパラレルで受け取るようにするものでもよいし、重み情報をシリアルで受け取ってからパラレル変換するようにするものでもよい。あるいは、重み情報をアナログ信号で構成するならば、乗算型D/Aコンバータ32aの代わりに、アナログ乗算器を用いることができる。

第4図は1個の本発明のニューロチップ(ANP)の実施例の具体的回路図である。

このユニットでは入力部42、乗算部43、加算部44、サンプル/ホールド部45、非線形閾値部46、及び出力部47から構成され、ここでは、出力保持回路はなく、サンプル/ホールド部45が出力保持の機能も有するものとする。

入力部42はオフセットキャンセル部51と、1倍のバッファ49から構成されている。1倍のバッファ49は電圧フォロアで、オペアンプの出力を-端子にフィードバックし、+端子に入力電圧を入力することによって構成される。データ入力力はアナログの時分割されたパルス信号である。

った加算値をホ
値を前回の加
にフィードバッ
処理は制御回
号に同期して実
の関数発生回
aで構成され、
非線形信号を出
算が関値(-θ)
保持回路33b
に対し関値(-θ)
の演算処理を施し、
出力保持部35は、
れ、後段用の基本
線形関数発生回路
Yをホールドする

部であり、制御回路
けて一定時間ONす
保持するところの最

パート32aは、ディ
ラレで受け取るよう
み情報をシリアルで受
するようにするもので
程をアナログ信号で構
Aコンバータ32aの
器を用いることができる。
のニューロチップ(AN
路図である。

部42、乗算部43、加
ールド部45、非線形関
1から構成され、ここで
く、サンプル/ホールド部
ら有するものとする。
ットキャンセル部51と、
ら構成されている。1倍の
オロアで、オペアンプの出
バックし、+端子に入力電
って構成される。データ入
されたパルス信号である。

OCはオフセットコントロール信号であり、これ
が1のときアナログスイッチ66がオンし、1倍
のバッファ49には、0電圧が強制的に設定され
る。一方、オフセットコントロール信号OCが、
0のときアナログスイッチ66はオフされ、他方
のアナログスイッチの他方65がオンし、データ
入力1倍のバッファ49に入力される。すなわ
ち、オフセットコントロール信号OCが1である
場合には、ニューロンユニットには0ボルトが強
制的に輸入されて乗算器出力までの回路のオペ
アンプ出力に生じるオフセット電圧に対するオフ
セットのキャンセルの動作を行うようにしている。
アナログスイッチ65と66は同図ではOC信号
の反転位相と正相位相でスイッチングの制御が行
われているが、位相制御回路によって、同時オン
がないようになっている。以後このことをOCが
「位相制御された」という言い方をすることにする。

正負切換回路52は2つの倍數器をカスケード
結合して構成されている。倍數器では入力抵抗

42の入力が、正または負の電圧として形成され、
これが、興奮性と抑制性のシナプス結合に従った
電圧となる。正負切換回路52からの出力は乗算
部43の中にあるD/Aコンバータ53のR-2
R抵抗回路網の74の点、すなわち基準電圧端子
に輸入される。

R-2R方式のD/Aコンバータをまず説明す
る。MSBからLSBまでのデジタル値によ
って内部のスイッチはオンまたはオフをとる。デ
ジタル値が1である場合に、電流は右側のスイ
ッチ75を通過して、オペアンプ76の仮想接地点
78に流れ込む。オペアンプ76の仮想接地点7
8は+端子と同じ電圧になるように制御され、こ
れがグラウンドであるから仮想的な0ボルトである。
D/Aコンバータ53においてRは10KΩ、2
Rは20KΩである。スイッチの状態に関わらず、
2Rの抵抗には電流が流れ、デジタル値の値に
従ってその2Rに流れる電流が仮想接地点7
8の方に流れるかどうか決定される。1番右の
2Rに流れる電流をiとする。右から2番目すな

(10KΩ)とフィードバック抵抗(10KΩ)によ
って10/10、すなわち1倍の電圧の反転したもの
が形成され、それを1段だけを通すか、2段を通
すかによってアナログ電圧の符号を決定している。
その制御信号はデジタル値データの符号ビッ
ト(SIGN)であり、このSIGNビットはM
OSスイッチ70のゲートに接続されている。こ
のSIGNの制御信号も位相制御されている。符
号ビットが1である場合に入力部42からの入力
電圧は第1段目の倍數器で反転され、さらにスイ
ッチ67もオンしているので後段の倍數器も通り、
結果として正相となる。また符号ビットが0であ
る場合には、反転回路68を介して、スイッチ6
9がオンとなる。この時スイッチ67と70はオ
フしているため、入力部42からの入力電圧はス
イッチ69を介して後段のオペアンプ71の-端
子に輸入される。従って、前段の抵抗72と後段
のオペアンプのフィードバックの抵抗73とによ
って倍數器が形成され、1倍された形で反転され
る。すなわち、符号ビットの正負によって入力部

わちLSBに対応する2Rの電流は1番右の2R
にかかる電圧を2Rで割った値であるから $2R \times i + 2R$ でiとなる。従って1番右の横方向のR
には電流2iが流れる。右から3番目の2Rには
 $2R \times i + R \times 2i$ の電圧がかかり、これを2R
で割るから2iの電流が流れる。以下同様で左に
行くに従って4i、8iとなって2のべき乗で増
える電流になる。この2のべき乗になった電流を
オペアンプの方に流すか流さないかを決めて
いるのがMSBからLSBである。従って、デ
ジタル値に対応する電流が2のべき乗の形で仮
想接地点78に流れこみ、オペアンプ76の入カ
インピーダンスは無限大であるから、この電流がオ
ペアンプ36の帰還抵抗78に流れる。従って、
D/Aコンバータの出力電圧 V_{out} は入力電圧を
Eとすれば、

$$V_{out} = - \frac{E}{2^n} \times (D_0 + 2 \times D_1 + 2^2 \times D_2 + \dots + 2^{n-1} \times D_{n-1})$$

となる。ここで、 D_0 はLSBで、 D_{n-1} がMS

Bであるとする。すなわち、掛算部43の出力は等価的に入力電圧Eに重みを掛けた値になっている。

その重み係数はMSBからLSBに入力されるデジタル値で制御されることになる。一方、加算部44は時分割多重化アナログ信号の各電圧とデジタル重みデータとの各積についてミラー積分器を時分割的に使用することにより累積加算動作を実行する。そして、サンプル/ホールド回路45は、加算結果をサンプル/ホールドする。

次に加算部44を説明する。加算部44は抵抗Rと帰還キャパシタCによる積分器である。加算部44の入力部には時分割加算制御部55があり、位相制御されたサンプル/ホールド信号S/H信号が1のとき乗算部43の出力電圧がオペアンプの仮想接地点79に入力され、S/H信号が0のとき反転回路80によりスイッチ81がオンとなって乗算部43の出力が抵抗Rを介してグランドに接続されるので加算部44帰還キャパシタCには加算されないことになる。今、S/H信号が1

のとき、乗算部43の出力電圧は抵抗Rを介してオペアンプ102の一端子に入力し、入力電圧を抵抗Rで割った電流が仮想接地を介して帰還キャパシタCの方に入力される。この後、S/H信号がまた0となり、乗算部43と加算部44は切り離されるので、乗算部43は次の入力信号に対し重みデータを掛けることができる。キャパシタCを含む積分回路の帰還回路82には4つのスイッチを用いてオフセットキャンセル機能が付けられている。今オフセットコントロール信号OCが1になったとすると、スイッチ83と84がオンで、85と86がオフとなる。オフセットコントロール信号OCが0の時には、データ入力部42、データ入力端子DATA-INPUTに入力電圧が与えられ、それに対応する乗算部43の出力が抵抗Rを介してキャパシタCに入力される。この時、スイッチ85、86がオンであり、キャパシタCの極性はオペアンプの一端子に接続されている側が-、オペアンプ102の出力に接続されている側が+である。次に、オフセットコントロール信

号OCが1である場合にはデータ入力は強制的に0にされる。この場合、正負切換回路42及び乗算部43のD/Aコンバータ53を介してもしオフセットがなければ、D/Aコンバータ44の出力は0ボルトとなる。しかし、オペアンプ49、103、71、102があるためにオフセット電圧が生じ、そのオフセット電圧が加算部44のキャパシタCに蓄えられる。この場合、前のオフセットコントロール信号OCが0である場合と違ってスイッチ83、84がオンとなり、キャパシタCの+の極性は逆転する。そのため、入力信号が入力された時に生じるオフセット電圧はオフセットコントロール信号OCを1にすることにより、キャパシタCの極性が変わり、結果として、オフセットがキャンセルされることになる。本発明では、このように、キャパシタCの極性の反転を用いて等価的にオフセットキャンセル機能を有するように構成されている。なお、スイッチ87はリセット信号によって制御され、処理開始時にリセット信号が与えられた場合に、キャパシタC、の

電圧を零にし、加算部の出力を強制的に0にリセットするものである。このOC信号も位相制御されているものとする。

加算部44の出力はサンプル/ホールド回路45の入力となる。サンプル/ホールド部45では、位相制御されたサンプル/ホールド制御信号S/H...が1である場合に、スイッチ88を介して加算部44の出力がキャパシタC、に蓄えられる。加算部44の出力が1である場合には、反転回路94によってスイッチ90の制御信号は0となり、キャパシタC、の一方の端子はグランドに接地されず、スイッチ91がオンになることによりユニットの最終出力信号がそのスイッチ91を介してキャパシタC、に入力される。すなわち、その時の最終出力信号がオペアンプ96の出力端からフィードバックされてキャパシタC、の下側に与えられる。従って、キャパシタCには、加算部44の出力から最終出力信号の値を引いた電圧が保持される。一方S/H...制御信号が0のときには、スイッチ89と90がオンし、キャパシタ

抵抗Rを介して、入力電圧を介して帰還キャパシタCに蓄えられた電圧、すなわち加算部44の出力から最終出力値を引いた電圧値がスイッチ89を介して1倍のオペアンプ93の+側に入力され、そしてこのオペアンプ93はバッファとして働いて、オペアンプ93の出力がシグモイド関数の入力となる。また、S/H₀₀制御信号が1のときスイッチ88がオンし、キャパシタC₁には加算部の出力値と最終出力値との差の電圧が蓄えられているときには、スイッチ92がオンしている。そのためオペアンプ93には0ボルトが強制的に入力される。この時にシグモイド関数46及びオペアンプ96、アナログスイッチ100を介してオフセット電圧 ΔV がスイッチ91を介してC₁の下側に入力される。したがってS/H₀₀制御信号が0の時点、すなわちスイッチ89がオンでスイッチ92がオフである場合には、C₁に蓄えられた電圧、すなわち(加算部の出力-オフセット電圧 ΔV)がオペアンプ93とシグモイド関数46を介して最終出力になるが、S/H₀₀制御信号が1になると、この時に生成されるオフセット電圧も ΔV であるから結果として、オフセット電圧がキャンセルされることになる。

出力を強制的に0にリセットするOC信号も位相制御さ

サンプル/ホールド回路45のサンプル/ホールド部45では、サンプル/ホールド制御信号S/H₀₀を介してスイッチ88を介してキャパシタC₁に蓄えられる。S/H₀₀である場合には、反転回路90の制御信号は0となり一方の端子はグラウンドに接続され、他方の端子がオンになることにより、入力信号がそのスイッチ91を介して入力される。すなわち、オペアンプ96の出力端からキャパシタC₁の下側に蓄えられた電圧が、加算部44の出力信号の値を引いた電圧がS/H₀₀制御信号が0のときと90がオンし、キャパシタ

信号が1になると、この時に生成されるオフセット電圧も ΔV であるから結果として、オフセット電圧がキャンセルされることになる。

シグモイド関数を生成する非線形関数部は非線形回路選択制御部があり、位相制御されたSelSig信号を1にするとスイッチ95がオンし、シグモイド関数の出力が次段に入力される。しかし、SelSig信号が0の時には反転回路97を介してスイッチ98の制御信号が1となってそれがオンし、シグモイド関数の出力はカットされる。すなわちSelSig信号が0の時には、サンプル/ホールド部の出力電圧がシグモイド関数を介さずに直接オペアンプ96に入力される。オペアンプ96は本質的には出力を-端子に直接帰還する1倍のオペアンプでバッファの働きをする。すなわち出力インピーダンスを0にするバッファとなる。

出力部47には時分割アナログ出力部64と出力制御部63が接続されている。CSIが1のときにはスイッチ99がオンで、スイッチ101もオンであるため、オペアンプ96の最終出力値が

DATA-OUTPUTに出力され、しかもその-端子にフィードバックされて、オペアンプ96は1倍のオペアンプとして働く。それと同時に最終出力値がサンプル/ホールド部45にフィードバックされる。一方、CSIが0のときインバータ104を介してスイッチ100がオンになり、スイッチ101、99がオフになる。すなわちオペアンプ96の出力はDATA-OUTPUT線には出力されないことになる。しかし、スイッチ100がオンすることによって1倍のバッファを形成するようにしているためオペアンプ96の電圧フォロア動作は破壊されることなく実行される。出力部47は出力制御入力信号CSIによって出力パルス電圧を伝達するかどうかを決める回路である。このCSIをディレイ回路105を介してCSOとして出力し、層内の開接するニューロチップに対する出力アナログ信号の時間タイミングを決定することになる。このため、本発明では出力部47からのアナログ信号は時分割で伝達されるため、バス上で他のニューロチップからのアナログ信号と競合しない。

第5図は第4図において、オフセットキャンセルOCをOC0、OC1、サインSIGNをPN、-PN、サンプル/ホールドSHをSH11、SH10、サンプル/ホールドS/H₀₀をSH21、SH20、シグモイド選択信号SelSigを-SIGM、SIGM、ディジタラ用信号CSIをCS、-CSでの2信号で位相制御を実現する。すなわち、1つの制御信号を、それぞれ正相を逆相の2信号で構成しかつ位相をずらすことにより、これらの制御信号の正相と逆相で制御される別のスイッチが同時にオン状態にならないようにした信号にした場合の実施例である。なお、D/Aコンバータ53の出力端に接続されたキャパシタC₁、抵抗R₁はオペアンプ76のフィードバック信号をD/Aコンバータの演算速度にあわせるためのものであり、DT端子には、D/Aコンバータのデジタル入力が増えられる。

第5図で第4図と同一箇所は同一番号を付して説明を省略する。

第6図は、積分器におけるタイミング図である。

データクロックDCCLKと重みクロックWCLKは基本的な動作クロックで、データクロックDCCLKのハイ状態の半周期間に高速な重みクロックWCLKが出力される。重みクロックWCLK信号は重みシリアルデータを取り込むための同期クロックである。データクロックDCCLK信号はアナログ入力信号に対する処理を行うための基本クロックである。同期信号SYNCは各層において一層内の各アナログニューロンプロセッサANPの同期をとる同期信号である。積分器の出力電圧の変化は下の三角形で示された部分の波形で示される。積分波形は、サンプル/ホールド制御信号SHのパルスで制御され、このパルスがハイの間、積分の動作を実行する。すなわち、積分器のキャパシタCに対する充電を開始し、このサンプル/ホールド制御信号SHのパルスがハイの間は、このキャパシタに徐々に電荷が蓄積されて電圧は上がるが、サンプル/ホールド制御信号SHのパルスがロウとなって遮断されると、充電動作を停止する。従って、この積分時間範囲でのチャージ分

だけが意味を持ち、このサンプル/ホールド制御信号のパルス幅をコントロールして積分時間範囲を縮めたり延ばしたりすることで、入力と同じ電圧だが、積分結果としてでてくるものは、サンプル/ホールド制御信号のパルスの幅によって比例配分された電圧、すなわち、電圧に積分ゲインを掛けたものとなる。すなわち、サンプル/ホールド制御信号S/Hのパルス幅がPのときキャパシタCに充電される電圧はV。であり、サンプル/ホールド制御信号S/Hのパルス幅Wのとき充電電圧はV。'となる。

サンプル/ホールド制御信号SHが下がり、スイッチング制御より積分器のキャパシタの極性が変わり、オフセット分が加算されている積分出力は反転する。そして、オフセットコントロール信号OCがハイ状態でサンプル/ホールド制御信号SHが再び立ち上がると、オフセット電圧V。(V。')がそのキャパシタに加算され、SH信号が立ち下がった時点では、結果としてオフセット分がキャンセルされた積分出力値V。-V。

(V。'-V。')を極性をもととしてサンプル/ホールドされる。

次に、階層型ニューラルネットワークを説明する。第7A図は階層型ネットワークの概念図である。階層型では左側の入力層の入力ノード110から入った入力データは順次右側の方向に向かって1方向にだけ処理されていく。中間層の各ニューロン112は、ダミーノード111を含む前の層の出力をそれぞれ層内の完全結合で受けるようになっている。入力層に例えば4個の入力ノード110があると、それにダミーノード111の1個がたされ、中間層の各ニューロン112から見ると入力層は5つのニューロンに見えている。ここで、ダミーノード111とは、スレッシュホールドをコントロールするもので、積和の結果Xのシグモイド関数

$$f(X) = \frac{1}{1 + \exp(-X)}$$

の値Xに一定値 $-\theta$ を加えることによりX軸の正方向にシフトさせた値 $f(X - \theta)$ にするもので

ある。これはダミーノード111に対応する重みをニューロン内で変えることと等価であるが、後述するマックスバリュノード回路を用いて、一定値 θ を生成している。このように、ダミーノードに対する重みを用意しておけば、閾値を重みで表現することができる。そして出力層のニューロン112から中間層はニューロンが4個あるように見える。入力層に加えられた入力データは、中間層ニューロン112、出力層ニューロン112で重みデータを用いてそれぞれ積和演算を施され、結果として出力データを発生する。

第7A図に示した階層型構造のものを本発明のANPを用いて実現すると、第7B図のように、各層間、つまり入力と中間層との間、中間層と出力層の間、出力層の出力にそれぞれの独立のアナログバスB1、B2、B3を設けることになる。縦方向のANPは全部並列に実行できるという構造になる。出力層の出力にはサンプルホールド回路SHを付ける。

第8図は階層ニューラルネットワークを実現す

ル/ホールド制御
して積分時間範囲
で、入力と同じ電
るものは、サンプ
の幅によって比例
電圧に積分ゲインを
サンプル/ホールド
がPのときキャパシ
であり、サンプル/
ルス幅Wのとき充電

号SHが下がり、ス
キャパシタの極性が
まわされている積分出力
ットコントロール信
ル/ホールド制御信号
オフセット電圧V_o
タに加算され、SH信
、結果としてオフセッ
分出力値V_o - V_o。

111に対応する重み
ことと等価であるが、後
ノード回路を用いて、一
このように、ゲミノー
ておけば、閾値を重みで
そして出力層のニューロ
ニューロンが4個あるよう
られた入力データは、中
出力層ニューロン112
それぞれ積和演算を施され、
を発生する。
型構造のものを本発明の
ると、第7B図のように、
中間層との間、中間層と出
力にそれぞれの独立のアナ
B3を設けることになる。
は並列に実行できるという構
出力にはサンプルホールド回
ーラルネットワークを実現す

る本発明のニューロコンピュータのブロック図で
ある。ニューロチップからアナログニューロンプ
ロセッサANP1~5を各層に並列に配置し、各
層間に独立にアナログバス(B1, B2, B3)
を設ける。同図において、ANP1, 2, 3で中
間層を形成し、ANP4, 5で出力層を形成する。
また、入力段のANPはなく、入力側にはアナ
ログ入力信号をタイミングよく入力するためのデ
ジジー回路171, 172が存在する。S/Hで示
す回路はサンプル/ホールド回路173, 174
である。ANP1~5にはそれぞれコントロール
用のロジック信号が必要であるので、マスタコン
trolブロック(MCB)181から各層に多
くの制御信号線を送り込む。データクロックDC
CLKはすべてのANPの入力側のデジジー回路1
71と172に与えられ、アナログ処理の基本ク
ロックとなる。重みクロックWCLKもすべての
ANPと入力側のデジジー回路171, 172に
与えられ、重みデータ用の高速クロックである。
重みメモリブロック185, 186から各ANP

る。これと同じ関係が中間層と入力層にも存在し
なければならない。入力層と中間層の関係は、中
間層のANPから見るとその前に入力層のANP
があるように見えなければいけない。このことは、
中間層のANPがアナログバスB2にアナログ信
号を出力するタイミングと同じ機能でアナログ入
力ポート0, 1からのアナログ入力信号に対して
も決まった規則でアナログバスB1に出力しなく
てはならないという制約がある。即ちアナログ入
力ポート0, 1からの入力信号はアナログバスB
1に時分割に乗ってくる。アナログ入力ポート0
からのアナログ信号は、適当なタイミングでアナ
ログバスB1に乗るが、そこに出力した次のタイ
ミングで、アナログ入力ポート1からの次のアナ
ログ入力信号が同じアナログバスB1に乗る。こ
の同期をとるために一定のタイミングで出される
入力制御信号CSIをデジジー回路171が入力し、
一定時間後に、その回路から出力制御信号CSO
が出される。このCSIはマスタコントロール
回路181のCSO1から出力される。デジ

4, 5及びANP1, 2, 3にはその重みクロッ
クWCLKに同期して重みデータが入力される。
また、同期信号SYNClは中間層のANPに与
えられる層の同期クロックで同期信号SYNc2
は出力層のANPに与えられる層の同期クロック
である。SH1とOC1は中間層のANPに対す
るサンプル/ホールド制御信号とオフセットコン
trol信号、SH2とOC2は出力層のANP
に対するサンプル/ホールド制御信号とオフセッ
トコントロール信号である。

左側のブロックであるデジジー回路171, 1
72は、入力層に相当する入力側回路である。入
力ノード、つまり入力層内のニューロンを実現す
るために、アナログ信号を時分割でANPが出す
のと同じタイミングで、アナログ入力ポート0,
1より与えられるアナログ入力信号を回路内に入
力しなければならない。つまり、出力層からみれば、
出力層のANP4, 5は前の中間層のANP
1, 2, 3からアナログ信号をアナログバスB2
を介して時分割で受けることを基本動作としてい

回路171, 172は一種の遅延回路である。
各デジジー回路171はマスタコントロール18
1から入力制御信号CSIを入力すると、自分は
縦方向に隣接する次のデジジー回路172に対し
て、アナログ入力ポート1のアナログ出力信号を
出すように、CSO信号を次に渡すことになる。
この動作をデジジー制御と呼ぶ。

マスタコントロール回路181のCSO1が立
ち上がると、スイッチ175がオンし、サンプル
/ホールド回路173に保持されているアナログ
入力ポート0のアナログ入力信号はアナログバス
B1に乗る。CSO1はデジジー回路171のC
SIであるから、これが立ち下がってから一定時
間後にCSOが立ち上がる。これはデジジー回路
172のCSIであると同時に、スイッチ176
を制御してオンにさせるので、サンプル/ホー
ルド回路174に保持されていたアナログ入力ポ
ート1のアナログ入力信号をバスB1に乗せる。階
層構造になった本システムでは、このデジジー制
御が必要となる。つまり、アナログ入力信号に対

してアナログ入力ポート0からサンプル/ホールド回路173を介してアナログバスB1に出力すれば、次にアナログ入力信号に対してアナログ入力ポート1からサンプル/ホールド回路174を介して同じアナログバスB1に出力させることになる。中間層の各ニューロンでみているとアナログ入力ポート0のアナログ入力信号とアナログ入力ポート1からの次のアナログ入力信号とは時分割で逐次に入ってくる。

各ディジ回路171、172は、アナログバスB1上のバス競合を防ぐために、入力制御信号CSIを特定の時間だけ遅延させて出力制御信号CSOを出す。

中間層においても、マスタコントロールブロック181からの出力制御信号CSO2をCSIとして受けるANP1がアナログ信号を出力したら、CSOをCSIとしてANP2に渡すと、次にANP2が出力する。ANP2のCSOをCSIとして受けるANP3が次にアナログ信号を出力することになる。要するに、ここではANP1、2、

3の順に出力し、中間層のディジ動作が終わる。これと並行して全ての動作を管理しているマスタコントロールブロック181は、出力層のANP4にCSO3を与えるとANP4が出力し、出力完了後、ANP4がANP5にCSOを与えるとANP5が出力する。

出力層のANP4、5からの出力は、それぞれマスタコントロールブロック181からCSO3信号及びANP4からのディジチェーン用出力制御信号CSOによってそれぞれサンプル/ホールド回路177、178でサンプル/ホールドされる。この出力電圧は、アナログ出力ポート0、1からアナログ出力信号として出力される他、アナログマルチプレクサ179で選択された後、A/Dコンバータ180でA/D変換され、MPU182、メモリ183、通信インタフェース184から構成されるディジタル制御手段に入力される。そして、MPU182で例えば学習時に与えたMPU内に蓄えられた教師信号と比較し、所望の出力信号であるかのチェックを行い、この結果

に基づいて後述する重みメモリの重みデータを変更する。マックスバリュノード回路187はマスタコントロールブロック181からグミノード制御信号DCS1、DCS2が出力インプット1及び2に加えられるとともに、出力端子はアナログバスB1、B2に接続される。

第9図は第8図に示した実施例にかかる階層型ニューロコンピュータのタイミング図である。各層別にその制御信号線が抜き出して書かれている。まず基本的な動作クロックであるデータクロックDCLKと重みクロックWCLKは同一層のすべてのANPや入力側のディジ回路171、172に同時に入る。

重みクロックWCLKは、重みのディジタルデータをシリアルで送り込むためのシリアル同期パルスで、重みメモリブロックから重みを読み出すための同期クロックである。どのタイミングで、入力データを取り込むかはそれぞれの制御信号で規定する。まず第9図のタイミングチャートにおいて、CSO1はマスタコントロールブロック1

81から出力されるディジチェーン用制御信号CSO1、すなわちディジ回路171へのディジチェーン用制御信号CS1である。ディジ回路171において、CS1が1番目のアナログ入力信号をアナログ入力ポート0からサンプル/ホールド回路SH173を介してアナログバスB1に出力させる。すなわちタイミングチャートの①においてアナログ信号をアナログバスB1に出力させる。この瞬間に、アナログバスB1上に電圧が乗り、ANP1、ANP2、ANP3はこのアナログ信号に対して並列に積和演算を行う。そのCSOがディジ回路171を通過し、CSOが立ち下がってから所定時間後に次のCS1が②に示すように立ち上がり、ディジ回路172にそのCS1が入る。次のCS1は入力層の2番目のディジ回路172に入る制御信号である。そしてCS1がハイの間にアナログ入力ポート1からアナログ入力信号をサンプル/ホールド回路SH174を介してANP1、ANP2、ANP3に入力し、ここで積和演算を行う。マスタコント

動作が終わる。
しているマスタ
出力層のANP
が出力し、出力
CSOを与える

出力は、それぞれ
31からCSO3
チェーン用出力
れサンプル/ホー
ブル/ホールドさ
出力ポート0、
出力される他、ア
で選択された後、A
D変換され、MPU
インタフェイス18
制御手段に入力され
例えば学習時に与え
信号と比較し、所望
クを行い、この結果

チェーン用制御信号
回路171へのディ
ジナルである。ディジ
ナルが1番目のアナログ
ポート0からサンプル/
を介してアナログバスB
らタイミングチャートの
をアナログバスB1に出
アナログバスB1上に電
ANP2、ANP3はこの
並列に積和演算を行う。そ
回路171を通過し、CSO
定時間後に次のCS1が④
り、ディジ回路172に
のCS1は入力層の2番目
に入る制御信号である。そ
にアナログ入力ポート1か
をサンプル/ホールド回路S
AMP1、ANP2、ANP3
積和演算を行う。マスタコン

ロールブロック181からのDCS1は、ダミー
ノードへの制御信号である。各層とも入力他に
ダミーノードからの信号があるので(ニューロン
ノード数+1)個のノードの形態であり、入力層
では2入力であるが、各中間層のANPからみる
と3入力であるように見える。これを時間的に説
明すると、2つのCS1と1つのDCS1で1つ
のブロックとなる制御信号である。入力のサイク
ルは、最初のCS1から始まり、DCS1のダミ
ーへの入力で終わる。ダミーノードはマックスバ
リュエノード回路187であり、その回路はDC
S1が入力されている間アナログバスに固定され
たある閾値電圧を出力する。すなわち④で示すよ
うにDCS1が立ち上がってからこの電圧が出力
されている間、中間層の各ANPは通常の入力と
同様に積和演算を行って、その固定電圧が前の2
つのアナログ入力信号の積和演算されたものの結
果に加えられることになる。すなわち、掛け算後、
足し算を実行する。SYNC1は、CSO1が立
ち上がる前のDCLKの立ち下がりであり、

45内のC。)にホールドされる。このような動
作が基本的に繰り返されることになるが、中間層
と出力層との間にあるアナログバスB2にANP
1の出力信号をいつ出力するかということはマスタ
コントロールブロック181から出されるCS
O2の信号の立ち上がりで決まる。

SH1の下に示したオフセットコントロール制
御信号OC1はANPの内部においてオフセット
キャンセルを行う。すなわち各ANPは内部的に
オフセットを含むアナログ回路であって、回路自
体がオフセットを持っているため、このオフセッ
トをキャンセルするための制御信号がOC信号で
ある。OC1に示されるように積和の演算が1つ
実行される毎に1つのパルスが出され、内部にお
いてオフセットキャンセルが実行されている。タ
イミングチャートでは④で示すようにCSO2が
立ち上がるとともにANP1からアナログバスB
2にANP1にホールドされていた信号が出力し、
CSO2がハイの間に出力層のANP4が積和演
算を行う。④で示されるCSO2の立ち上がりは

DCS1が立ち上がってから次のDCLKの立ち
下がりまでロウとなる。これは入力層の同期をとる
信号である。WCLKが入力されている間でアナ
ログ入力と重みデータの掛け算が行われる。中間
層のANPに入るサンプル/ホールド信号SH1
には、2つの山M1、M2が出力されているが、
最初の山M1の少し前で積をとる山の部分で和を
生成し、ホールドする。そして、次の山M2でオ
フセット電圧V。(第6図参照)を差し引いてサ
ンプル/ホールドする。このような処理を入力さ
れるすべてのアナログ信号について順次繰り返
し、積和の計算が終わる。この場合はダミーを
含めて中間層の各ANPは積和演算を3回実行す
る。これで中間層の各ANPの処理は終わり、3
入力に対する積和の加算までが終了する。

また、タイミングチャートにおいてDCS1が
立ち下がった直後のDCLKがハイのとき、アナ
ログ2カポート0、1、ダミーノードから3つの
信号について積和演算した結果が各ANP1、2、
3のキャパシタ(第4図、サンプル/ホールド部

その前の入力結果の積和の結果を出力するタイ
ミングである。

次に、第9図を使って中間層と出力層との間の
タイミングを説明する。

なお、同図において、中間層からのディジ
チェーン制御信号の出力④、⑤、⑥、⑦及び出力層
からの出力⑧、⑨に同期してアナログバス上にあ
らわれるアナログ信号は上述した入力層からのディ
ジチェーン制御信号の出力①、②、③に同期
してアナログバス上に入力されるアナログ信号に
対して④処理サイクル前の結果が現れることにな
る。パイプライン処理の実行は後で説明するが、
タイミングチャートの④で示されるCSO2の立
ち上がり時において、ANP1の出力が出される。
④に示されるCSO2の立ち上がり時にタイミン
グチャートSH2の信号を見るとパルスが2つ出
されている。SH2信号は第8図のブロック図に
おいて、出力層の第1番目のANP4に入力され
ている。すなわちSH2信号の2つの山のパルス
において、ANP4内で和の演算が1つ実行され

る。中間層には図に示されるようにANP1、2、3の3つの中間層のニューロンがあるが、マックスバリュースノード回路187によるダミーノードが1つ加えられ、合計4つのニューロンがあると仮定されている。従ってSH2信号の山2つのパルスが④の部分から見て4回出力されており、このSH2信号の4組の山のパルスで中間層のアナログ信号がANP4に入力され積和が演算される。この動作は当然、中間層のANPが入力信号に対して積和演算をしているタイミングと同時に進行していることになり、これはパイプライン処理となっている。CSO2の下信号は中間層にあるANP1のCSOの信号で、これは同じ中間層のANP2に対するCSIである。これが⑤で示されている部分である。その下はANP2のCSOでその下はANP3のCSIでこれが⑥である。その下がANP3のCSOであり、その下の⑦がダミーノードのCSIであってこれはDCS2、すなわちマスタコントロールブロックから出される信号である。CSIで見ると④、⑤、⑥、⑦の順

序でそれぞれ中間層のANP1、ANP2、ANP3、そしてダミーノードのマックスバリュースノード回路187に入力される。この間SH2信号は2つの山を持つパルス信号を4つ出している。すなわち、ANP4の出力層のニューロンは入力アナログ信号と重みとの積を4つ分加えることになる。④の部分でANP1にCSIが入力している時にはANP1からアナログ信号が中間層と出力層の間のアナログバスに信号が出され、これがANP4に入力される。そしてこの時、対応する重みデータがANP4に入力され、それと共に積が実行され、SH2信号の第1の山で加算され、第2の山でサンプル/ホールドされる。そしてこの計算が終わると、ANP1からCSOの信号が立ち上がり、これがANP2のCSIとなる。これが⑤の状態であり、この時重みデータとアナログバス上のデータとが掛け算され、和が計算される。⑤が立ち下がったあと所定時間後にANP3へのCSIがハイとなり⑥で示すようにANP4で積和演算が行われる。このような積和の演算が

ANP4内で計算され、⑦のところでマックスバリュースノード回路187から出力される固定電圧がANP4に入力され、これが内部のいままで蓄えられた積和に加えられることになる。

以上の動作は出力層のANP5に対しても並行して行われる。ここに同時処理がある。ANP4で計算された積和演算の結果が出力層に接続されたアナログバスB3に出力されるタイミングはマスタコントロールブロック181から出されるCSO3の立ち上がりである。マックスバリュースノード回路187がアナログバスB2に出力するための制御信号がDCS2であって、これが⑦に対応する。このDCS2までは中間層における計算結果を出力するまでの動作である。タイミングチャートのこれよりも下に書いてある信号に対しては同じような動作であり、中間層とカスケードに接続された出力層側の動作を規定する信号パルスである。CSO3が立ち上がると、ANP4で計算された積和演算の結果が出力されることになる。出力層ではANP4、ANP5の2個が出力され

る。なお、例えば④のCSO2の立ち上がりは、ANP1に入る信号で、この立ち上がりはDCLKよりも遅れている。これはアナログ入力信号とデジタル重みデータとの積演算を行う場合、WCLKでデジタルデータを読み込む時にシリアルであって、これを内部でパラレルに変換するデジタルデータの読み込み時間とアナログ入力信号がD/Aコンバータすなわち乗算処理部に到達するまでの時間を考慮してCSO2の立ち上がりを遅らせているからである。すなわち、最初の山の部分でズレているのは、データの呼び出し、つまりシリアルデータの読み込み時間が含まれている。データがセットし終わるのはDCLKの立ち上がりから、しばらくたった時間すなわちWCLKで16サイクル後である。アナログ乗算の開始時間はCSO2が立ち上がってからWCLKで8サイクルたった後である。

第10図は、デジタル重みデータの読み込みタイミングを示すタイミングチャートである。同図において、マスタクロックMCLK、同期信号

ANP 2. ANP スバリュエノの間SH 2 信号つ出している。ユーロンは入力分加えることに1が入力して1号が中間層と出がされ、これがこの時、対応するれ、それと共に積の山で加算され、される。そしてこらCSOの信号がCS1となる。こ重みデータとアナロされ、和が計算され定時間後にANP 3示すようにANP 4ような積和の演算が

O 2 の立ち上がりは、の立ち上がりはDCL はアナログ入力信号と積演算を行う場合、Wを読み込む時にシリアルに並列に変換するでみ時間とアナログ入力信なわち乗算処理部に到達てCSO 2 の立ち上がりる。すなわち、最初の頭、データの呼び出し、つ読み込み時間が含まれてい終わるのはDCLKの立ちった時間すなわちWCLある。アナログ乗算の開始上がってからWCLKで8る。

デジタル重みデータの読み込みタイミングチャートである。同期信号クロックMCLK、同期信号

SYNC、重みクロックWCLK、データクロックDCLK、実際の重みデータWDATAが示されている。重みデータWDATAは重みメモリからビットシリアルで読み出され、16ビットがシリアルに入力される。Sはサインビットで、B14~B0までが数値ビットである。同図において重みデータWDATAのB8、B7、B6の部分重みクロックWCLKとの対応として図の下方に拡大された形で表現されている。重みクロックWCLKは周期が250 nsecでデューティ比50%になっている。WCLKの立ち上がりからシーケンサ内部にあるアドレス更新用のカウンタの伝播遅延時間後に重みメモリにアドレスが与えられる。即ち重みメモリ(RAM)のビットnのアドレスは重みデータWDATAのビット7が格納されている重みメモリのアドレスである。このアドレスが確定した後、1AA時刻後にビット7が読み出されている。ビット7からビット6への変化は重みクロックの次の周期への変化によって決まり、ビット6は次の周期で読み出されている。重みデ

グ入力電圧はANPの入力端子からデジタル重みデータと積を実行するD/Aコンバータ迄の電圧到達時間等にかかりの時間誤差があるので、マージンを見込んでCS1の立上りはDCLKの立上りより遅れたところから始まることになる。

第11A図はマスタコントロールブロック181の構成図である。マスタコントロールブロック181はすべての制御信号を総括する部分である。主要な構成要素は外部バスインタフェース回路200、制御パターンメモリ201及びマイクロプログラムシーケンサ202とマイクロコードメモリ203、アドレス作成部204である。外部バスインタフェース回路200は、MPU等に接続するためのインタフェースでアドレス線205、データ線206及び制御信号線207に接続されている。外部バスインタフェース回路200の上位アドレス比較回路208、レジスタであるD-FF209はそれぞれMPU等から与えられる上位アドレスをデコードし、上位アドレスが予め定められた番地である場合に、下位アドレスとデ

ータの16ビットはANPに入力され、ANPに入力されるアナログ電圧との積が内部のD/Aコンバータによって計算されるので、アナログ電圧の入力開始は、データクロックDCLKからの立ち上がりからずっと後に入力される。即ち、アナログ入力電圧は入力されてからD/Aコンバータに到達されるまでの時間があるのでその時間とデジタル重みデータが内部にセットされる時間とを制御し、重みデータの到着時間とアナログの到着時間がちょうど一致するようにアナログ電圧を入力する必要がある。

例えば、アナログ入力電圧の立ち上がりは、重みデータのB7あたりから立ちあげ、重みデータのB0が入力され、その後すべての重みデータが内部で確定した頃にそのアナログ値との乗算がスタートするように時間の制御をとる必要がある。そして加算はDCLKが次にロウになる期間で行われる。

ANPの動作時間は、SYNC信号とWCLK、及びデータDCLKで規定される。そしてアナロ

グをそれぞれD-FF209、211にタイミング回路214からのラッチ信号をトリガとしてセットする。そのアドレスとデータはそれぞれバスドライバ210と212を介して、内部アドレスバスと内部データバスを介して内部に入力される。そのアドレスはマイクロコードメモリ203を参照して、マイクロコードをデータバスを介してMPU側から書き込む場合等に利用される。また下位アドレスはバスドライバ210を介してマイクロコードアドレスをマイクロプログラムシーケンサ202にも渡され、MPU側からの特定なアドレスで制御パターンメモリ201を参照できるようにしている。

MPUあるいは主記憶からのデータはデータ線206を介してD-FF211にラッチされた後、バスドライバ212を介してマイクロコードメモリ内のセバレット1/ORAM213あるいは、制御パターンメモリ201内のセバレット1/ORAM215、216に加えられる。MPUあるいはメモリからのデータストロブ信号が制御信号

線207を介してタイミング回路214に加えられるとアクノリッジ信号を送信する通信方式で、アドレスやデータの送受信に関する制御が行われる。タイミング回路214はD-FF211、D-FF209へのラッチタイミングやWR信号を介してマイクロコードメモリ203、制御パターンメモリ201への書き込みタイミング等を制御する。

第9図のタイミングチャートに示されるようなニューロチップに与える複雑な制御信号の“1”、“0”パターンは、制御パターンメモリ201に1周期分格納され、その1周期分のパターンをマイクロプログラムシーケンサ202の制御に従って制御パターンメモリ201から読み出すことによって生成する。例えばリセット信号Reset、データクロックDCLK、重みクロックWCLK、CS01、CS02、CS03やSYNC1、SYNC2、SH1、SH2、OC1、OC2等の制御信号はセバレート1/ORAM215から読出され、パターンに付随する制御情報つまりシー

ケンス制御フラグは第2のセバレート1/ORAM216から読み出される。例えば制御パターンメモリ201は1000110001というパターンが格納されている場合には、“1、0”ビットのパターンであるから、この“1、0”ビットのパターンを繰り返すように制御パターンメモリ201のアドレスを制御すれば、このパターンの繰り返し制御パターンメモリ201から読み出されることになる。すなわち制御信号のパターンは非常に複雑なパターンであるので、これらのパターンを予めこのセバレート1/ORAM215に格納しておき、そのセバレート1/ORAM215のアドレスをマイクロプログラムシーケンサ202の制御に従って指定することによって順次そのビットパターンを出力する構造になっている。よって、幾つかの同じパターンを繰り返すことになるので、その繰り返しをどのように実現するかはアドレス制御に従う。この1周期分のパターンをオリジナルパターンと呼ぶことにする。オリジナルパターンを繰り返すためには、マイクロプロ

グラムシーケンサ202に制御パターンメモリ201からの特定な情報をフィードバックする必要がある。すなわち第2のセバレート1/ORAM216内のシーケンサコントロールフラグを条件入力としてマイクロプログラムシーケンサ202に入力することにより、マイクロプログラムシーケンサ202は第1のセバレート1/ORAM215内のオリジナルパターンの入っている先頭アドレスに戻るよう制御する。このことにより、オリジナルパターンの繰り返しが実行される。すなわち、マイクロプログラムシーケンサ202はその条件が満たされるまで汎用ポート出力線202-1を介してセバレート1/ORAM215へのアドレス信号を逐次に生成する。通常はこのアドレスはインクリメントされるがオリジナルパターンの最終になったという条件が満たされると、そのオリジナルパターンが格納されている先頭アドレスに戻るようにする。結果として特定なパターンが繰り返しセバレート1/ORAM215から制御パターンが出力される。

第11B図は、マスタコントロールブロック181を制御するメモリ201及び203内の情報の相互関係である。同図において、制御パターンメモリ1が第1のセバレート1/ORAM215に相当し、制御パターンメモリ2が第2のセバレート1/ORAM216に相当する。マイクロコードメモリ203内には、シーケンサ202の制御コードが記憶され、主に、Jump命令とRepeat命令が格納されている。アドレスの増加方向にみて、特定なアドレスにRepeat命令があり、この反復命令に従う制御パターンメモリ内のパターン1の繰り返し数は制御パターンメモリ2の対応するアドレスに格納され、例えば「10」であるとするば、10回の反復を実行することになる。このようにして、アドレスが増加し、マイクロコードメモリ203内の第2のJumpで500Hに飛び、Pattern2を出力する。Pattern2を5回繰り返すと、マイクロコードメモリ203内の第3のJumpで、再び「100H」に飛び、Pattern1を出力すること

28784(16)

ト1/ORAM
制御パターン
1というパ
1. 0* ビッ
1. 0* ビッ
パターンメモ
このパターンの
01から読み出
信号のパター
で、これらのパ
ORAM215
1/ORAM2
ラムシーケン
ことによって順次
構成になっている。
を繰り返すことに
ように実現するか
1周期分のパターン
ことにする。オリジ
には、マイクロプロ

になる。このようにして、オリジナルパターンが
繰り返されて、制御パターンメモリ1から読み出
される。

この制御パターンメモリ201を参照するアド
レスの読み出しクロックに同期してWCLKが作
られており、重みメモリ185、186からWCLK
に同期して情報が読み出される。重みメモリ
185、186へのアドレスはアドレス作成部2
04のアドレス1及びアドレス2から出力される
アドレス信号によってアクセスされる。アドレス
1とアドレス2はそれぞれ、中間層と出力層に対
応して分離している。中間層にあるANPに与え
るべき重みデータはアドレス1によって指定され
る重みメモリ185から読み出され、出力層への
ANPへの重みデータはアドレス2によって指定
される重みメモリ186から読み出された内容で
ある。各アドレスは重みメモリ185、186の
内容が重みデータの各ビットをアドレスが増す方
向に1ビットずつ格納されているので、アドレス
カウンタ217、218へのカウント制御信号が

マイクロプログラムシーケンス202から与えら
れる必要がある。そのアドレスカウンタ217、
218によってこのアドレスがバスドライバ21
9、220を介して次から次へと重みメモリ18
5、186へのアドレス信号として、インクリメ
ントして与えられる。そして複数の重みデータが
その重みメモリ185、186から読み出される。

第1のセパレート1/ORAM215からWCLKとマイクロプログラムシーケンス202からの
カウンタ制御信号がアドレス作成部204内の
アンド回路221、222に加えられている。カ
ウンタ制御信号がハイのとき、WCLKによって
アドレスカウンタは更新され、WCLKの1~16
ビットまではアドレスカウンタ217、218を
インクリメントする。そして、残りのWCLK17
~26ビットに対しては、カウンタ制御信号をロウ
とすることによりWCLKをインヒビットとして
アドレスカウンタ217、218のインクリメント
を停止する。そして、SYNC1、SYNC2
に同期して、それぞれカウンタリセット信号をマ

ントロールブロック1
1及び203内の情報
において、制御パターン
ト1/ORAM215
メモリ2が第2のセパレ
相当する。マイクロ
シーケンサ202の制
こ、Jump命令とRepeat命
ドレスの増加方向にみて、
命令があり、この反復命
メモリ内のパターン1の設
メモリ2の対応するアド
「10」であるとすれば、
ることになる。このように
し、マイクロコードメモリ
は、マイクロコードメモリ
で500Hに飛び、Pattern
2を5回繰り返すと、マ
203内の第3のJumpで、再
Pattern1を出力すること

マイクロプログラムシーケンス202からアンド回
路221、222に送出して、アドレスカウンタ
217、218をリセットする。このことにより、
重みメモリ185、186のアドレスを先頭アド
レスに戻す。なお、マスタコントロールブロック
181から出力されるモード信号は、重みメモリ
の通常使用、すなわち重みメモリをMPUデータ
バスから切り離し重みデータをANPに与えるモ
ードと、重みメモリをMPUデータバスに接続し、
MPUから重みメモリを参照するモードを形成す
るためのものである。

モード信号は、MPUからのデータの下位ビッ
トが、下位アドレスの1ビットとタイミング回路
214からの書込み信号からWRをアンド回路2
23にて生じるアンド信号をトリガとしてフリッ
プフロップ224にセットされることにより形成
される。このモード信号が0のとき重みメモリは
通常使用となる。

書込み信号WRと内部アドレスバスの1ビット
がアンド回路223を介してフリップフロップ2

24のクロック端子に入力され、内部データバス
のLSBがフリップフロップ224のデータ端子
に入力される。上位アドレスを比較回路208で
マスタコントロールブロック181が選択されて
いるかを判定し、選択されている場合、下位アド
レスとデータをDFF209、211に取り込む。
このような、インタフェース動作はMPUに接続
される他のデバイスに対しても同様に行われるが
重みメモリは通常ANPに対し重みデータを供給
しているので、MPUのデータバスに直接接続す
るとバス競合が生じる。これを防ぐために、内部
データバスのLSBがフリップフロップ224に
取り込まれた時はモードを1として、重みメモリ
を後述するようにチップセレクトしないようにし
て、重みメモリからデータバス上にデータが生じ
ないようにする。内部アドレスバスが所定タイミ
ングにおいて、内部アドレスバスによって、マイ
クロコードメモリ203と制御パターンメモリ2
01のいずれかのアドレスを指定し、そのアクセ
スされたアドレスに内部データバスから所望のデ

ータを書き込む。これにより、マイクロプログラムシーケンサ202やマイクロコードメモリ203、セパレート1/ORAM216に記憶されたプログラムを変更するか、セパレート1/ORAM215に記憶された制御パターンを変更する。

第12A図はこの重みデータメモリ230のデータ格納構成図である。同図において列方向の8ビットは同じアドレスに入った8ビットデータの情報であり、各ビットは下からANP1、ANP2・・・ANP8に与えられる。行方向はアドレスが異なり、図に示すように左に行くほどアドレスが増加する方向となっている。重みデータはサインビットを含めて16ビットであるからこれをアドレスの小さい方向から大きい方に向かって格納する。MSBは、サインビットで、それ以外の15ビットは数値ビットである。マイクロプログラムシーケンサ202からアドレスがWCLKに同期してインクリメントされると、重みデータの1ワード分、すなわち16ビットがMSBから順にLSBまで読み出されることになる。8個の複

数のANPに同時にこれらの重みデータが渡される。このようにアドレスの増加する方向にデータが格納される構造になっているため、この重みデータに対するアドレスのカウントが必要となる。すなわち、MSBからLSBの重みデータデータの1ワード分がカウントされたら、1個分の重みデータになるようにカウントされる制御が必要となる。この制御はやはりマイクロプログラムシーケンサ202で行っている。

第12B図は重みメモリブロック185、186具体的回路である。メモリ230はMB8464A-70というRAMである。出力はANP1～ANP8に対応する8ビットである。基本的にMPUのバスから見たバス信号線とマスタコントロールブロック181から見えるアドレス1と2のどちらかを使う。アドレス1と2は前述した第11A図のアドレス1と2である。このアドレス1と2はWCLKに同期してインクリメントされる形で入力される。8ビットのデータは同時に読み出され、各ビットはANP1～ANP8に対し

て同時に与えられる。

モード信号が0のときアンドゲート233を介して、重みメモリ230はチップセレクトされ、このとき、マイクロプログラムシーケンサ202からのアドレス1、2がマルチプレクサ234で有効となる。そして、重みメモリ230から重みデータがANP1～8に送られる。一方、反転回路231の出力は、ハイであるからトライステートバストランシーバ232はディスイネーブル状態となって重みメモリ230の出力はMPUへと出力されない。

MPUに出力する場合には、モード信号を1にして、MPUからの適当なアドレス情報によって、アドレスデコード235を介してメモリ230をチップセレクトし、メモリ230にMPUからアドレスを与える。モード信号が1のとき、MPUバスへの読み出しまたはバスからメモリ230への書き込みの制御すなわちリードライトの方向は、MPUからアンドゲート236を介して来るデータ線の読み出し信号Read Signalによって決めら

れる。

次に学習のアルゴリズムについて説明する。

第12C図は本発明に利用されるバックプロパゲーションという学習アルゴリズムのフローチャートである。学習は次のように進められる。本発明のニューラルネットワークすなわち、ANPの集合によって構成される階層型ネットワークの入力に学習すべき完全情報がMPUから図示しない入力制御回路を介して入力される。そして、その入力信号は入力側回路、中間層及び出力層を介してネットワーク出力にA/Dコンバータを介した後MPUに与えられる。MPU側の主記憶内に学習アルゴリズムが存在する。MPU内は、教師信号を主記憶から取り入れ、ネットワークの出力と教師信号との誤差を調べる。もし、その誤差が大きければ、MPUは、ネットワークが正しい出力を出す方向に、ネットワークの接続の強さである重みデータを変えることになる。この重みデータは重みメモリ230を介して各層のANPに加えられる。

228784 (18)

データが渡され
る方向にデータ
の、この重みデ
ータが必要となる。
みデータデータ
、1個分の重み
の調整が必要と
プログラムシー

ック185、18
30はMB846
、出力はANP1
である。基本的に
線とマスタコント
ロールアドレス1と2
1と2は前述した第
ある。このアドレス
インクリメントされ
のデータは同時に読
1～ANP8に対し

について説明する。
用されるバックプロパ
グリズムのフローチャ
図に進められる。本発
明すなわち、ANPの
学習型ネットワークの入
がMPUから図示しない
力される。そして、その
中間層及び出力層を介し
てDコンバータを介した
MPU側の主記憶内に学
び、MPU内は、教師信
号、ネットワークの出力と
を比べる。もし、その誤差が大
ネットワークが正しい出力
ネットワークの接続の強さである
ことになる。この重みデータ
を介して各層のANPに加え

重みデータが学習アルゴリズムによって更新さ
れる場合、第12C図のバックプロパゲーション
学習アルゴリズムに従うことになる。学習アルゴ
リズムがスタートすると、MPUは出力層のL番
目のニューロンANP_Lは教師信号 \tilde{Y}_L と、現在
の出力 Y_L との誤差を求めてそれを Z_L に代入す
る。出力 Y_L はニューロンANP_Lの出力である
から、例えばシグモイド関数を非線形素子として
使うならば、この非線形関数の出力値として出さ
れたものである。従って、ニューロンANP_Lに
おいて、誤差 Z_L を非線形関数の入力側に誤差伝
播する必要がある。誤差伝播を行う場合、エネル
ギー関数、すなわち誤差信号の2乗に1/2を掛
けたエネルギー、すなわち

$$E_L = 1/2 (\tilde{Y}_L - Y_L)^2$$

の非線形関数入力 X_L に対する偏分、すなわち

$$\delta = -\frac{\partial E_L}{\partial X_L}$$

は次のように変形できる。

$$\delta = -\frac{\partial E_L}{\partial X_L} = -\frac{\partial E_L}{\partial Y_L} \cdot \frac{\partial Y_L}{\partial X_L}$$

$$= (\tilde{Y}_L - Y_L) \cdot f'(X_L)$$

となる。ここで、非線形関数 $f(X_L)$ がシグモ
イド関数であるとするならば、

$$f(X_L) = \frac{1}{1 + e^{-X_L}} \quad \text{で表される。}$$

このシグモイド関数の微分 $f'(X_L)$ を変形
すると、

$$f'(X_L) = Y_L (1 - Y_L)$$

となる。これはフローチャートのS2に示される
 V_L である。従って、 δ すなわちエネルギーの非
線形関数入力 X_L に対する偏分は $V_L \times Z_L$ とな
り、すなわちS2に示される U_L となる。このエ
ネルギーの非線形関数入力に対する誤差分 δ をさ
らに中間層へ逆伝播させる必要がある。

中間層の第K番目のニューロンを A_K とする。
 A_K の出力は Y_K とする。出力層のニューロンA
NP_Lの非線形関数入力 X_L はすべての中間層に
あるニューロンの出力 $(Y_1, \dots, Y_{K_{MAX}})$ までの

それぞれに重み W_{LK} を掛けた積和で表現される。
従って、 X_L の重み W_{LK} に対する偏分は

$$\frac{\partial X_L}{\partial W_{LK}} = \frac{\partial}{\partial W_{LK}} \cdot \sum W_{LK} \cdot Y_K = Y_K$$

となる。一方、エネルギー E_L に対する重み W_{LK}
の偏分は次式で与えられる。

$$-\frac{\partial E_L}{\partial W_{LK}} = -\frac{\partial E_L}{\partial X_L} \cdot \frac{\partial X_L}{\partial W_{LK}} = U_L \cdot Y_K$$

となる。すなわちS3の T_{LK} は

$$-\frac{\partial E_L}{\partial W_{LK}}$$

を表現しているもので、エネルギーの重みに対す
る偏分である。従って、この T_{LK} を重みの変化
分 ΔW_{LK} とすればよいが、収束を早めるためにS4
に示される第1式の第2項を加えて、次のような
漸化式にして重みを修正する。

$$\Delta W_{LK} = \alpha T_{LK} + \beta \cdot \Delta W_{LK}$$

$$W_{LK} = W_{LK} + \Delta W_{LK}$$

ここで、 α 、 β は定数である。今、出力層の特定
なニューロンANP_Lに注目しているが、このA

NP_Lは中間層のニューロンにすべて接続されて
いるものとするならば、各ANP_Lに対してKを
1から K_{MAX} まで繰り返す必要がある。これがフ
ローチャートのR1に示す繰り返して、中間層の
ニューロン数 K_{MAX} だけ繰り返すことになる。こ
の繰り返しが終わると出力層の特定なニューロン
ANP_Lに対する逆伝播が終了することになる。
従ってこれをすべての出力層のニューロン $(ANP_1, ANP_2, \dots, ANP_{L_{MAX}})$ に対
して行う必要があるため、フローチャートのR2に
示すように、Lを1から L_{MAX} まで繰り返すこ
とになる。すなわち、最終出力層のニューロンの数
 L_{MAX} だけ繰り返すことになる。

次に今度は中間層から入力層に向かって学習す
ることになる。アルゴリズムはほぼ同様であるが、
誤差信号は教師信号と出力電圧との差で表現でき
ず、S5の式になる。すなわち、 Z_K が中間層の
K番目のニューロン、 A_K の出力誤差信号に対応
する項となる。これは次式によって明らかである。

$$\begin{aligned}
 -\sum_l \frac{\partial E_l}{\partial x_l} \frac{\partial x_l}{\partial y_l} &= -\sum_l \frac{\partial E_l}{\partial x_l} \cdot \frac{\partial}{\partial y_l} \sum_k W_{lk} y_k \\
 &= -\sum_l \frac{\partial E_l}{\partial x_l} \cdot W_{ll} \\
 &= \sum_l W_{ll} \cdot U_l
 \end{aligned}$$

となる。従って、S5のZ_lのインデックスLに対して1からL...まで、すなわち出力の数だけ繰り返す(R3)ことによって中間層の誤差信号分Z_lが計算される。その後は中間層と出力層との間のアルゴリズムと同じである。すなわち、まず、シグモイド関数の微分値V_lを出し、それを用いてU_l、すなわちエネルギーの非線形関数入力に対する変化分をS6で求める。S7でそのU_lを用いて入力層の出力、Y_jとの積T_{lj}を求める。これを重み変化分の主要部として、S8に示すように収束を早めるための第2項を加えて、ΔW_{lj}を求め、前の値W_{lj}にそのΔW_{lj}を加えて新たなW_{lj}とする。これが重みの更新である。この重みの更新を入力数J...だけ繰り返す(R4)。すなわちj=1からj...まで繰り返す

すことによって入力層と中間層の間の重みが更新されることになる。なお、S5のZ_lは中間層の出力の誤差信号に対応するものであって、これは出力層のエネルギーの関数入力値に対する偏分U_lを後ろ向きに逆伝播した形で表現され、W_{ll}は中間層と出力層との重みが定まって初めて定まるものである。すなわち重みの更新に対する計算は出力層のニューロンANP_lから始めて中間層のニューロンANP_kに移り、中間層のニューロンANP_kではその重み変化分ΔWはその前段のΔWが決まらないと計算できないものとなっている。従って最後の入力層まで遡って始めて計算が可能となるところからこの学習はバックプロパゲーションと呼ばれている。

バックプロパゲーションによる学習は学習用のデータを完全情報として入力し、結果を出力する前向き動作とその結果のエラーを小さくするようにすべての結合の強さを後ろ向きに変えることになる。その為、この前向き動作も必要となる。この前向き動作において本発明のアナログニューラ

ルネット部が有効に利用される。また、出力値を逆伝播するアルゴリズムはMPUで実行される。なお、シグモイド関数でない非線形である場合には、その非線形の微分値が異なる。例えばtanh(x)であるならば学習アルゴリズムは第12D図のように、非線形の微分結果は、出力層ではV_l=1-|Y_l|となり(S2')、中間層ではV_l=1-|Y_l| (S6')となる。

その他は、第12C図と同じ参照符号をつけて説明を省略する。

第13図は入力側のディジー回路173、174の構成図である。図中240、241、242はDタイプのフリップフロップである。DCLK信号の立ち上がりでD端子に入力されるデータをセットし、出力Qを1の状態にする。第1のフリップフロップ240は、DCLKの立ち上がりで、CS1信号をセットする。そして、次の立ち上がりで第2番目のフリップフロップ241にその出力信号をセットする。

その出力は第3番目のフリップフロップ242

のD端子に入力されている。その入力をセットするクロック信号は4ビットカウンタ243の出力である。カウンタ243はWCLKの立ち上がりでトリガされる。クリアされるのはDCLKの立ち上がりである。従って、DCLKの立ち上がりでカウンタ243はオール0となり、WCLKの立ち上がりで8回入力された後、上位ビットのQD信号がハイとなるので、これがトリガとなってフリップフロップ242はCS0にハイ信号を出力する。フリップフロップ241の出力が0になればCS0はクリアされる。このような動作により、CS1が立ち下がり、WCLKの8パルス分に相当する所定時間通過したのちCS0が出力されるというディジー動作が行われる。

第14図はダミーノードのニューロンを形成するマックスバリュノード回路187の具体的回路図である。同図において抵抗250、ツェナーダイオード251、252、抵抗253、電圧フエロア254、255は一定電圧を形成する回路である。抵抗250、253とツェナーダイオー

の重みが更新
は中間層の
って、これは
に対する偏分 U_i
れ、 W_{ik} は中
めて定まるも
計算は出
て中間層のニ
ニューロンA
その前段の ΔW
となっている。
めて計算が可能
プロパゲーション

ら学習は学習用の
結果を出力する
を小さくするよう
きに変えることに
も必要となる。こ
アナログニューラ

その入力をセットす
ラック243の出力
はCLKの立ち下がり
はCLKの立ち下がり
りとなり、WCLKの
た後、上位ビットのQ
これがトリガとなって
CSOにハイ信号を出
241の出力が0にな
る。このような動作によ
て、WCLKの8パルス
通過したのちCSOが出
動作が行われる。

ードのニューロンを形成す
ード回路187の具体的回
いて抵抗250、ツェナー
52、抵抗253、電圧フ
は一定電圧を形成する回路
253とツェナーダイオ

ド251、252を介して+12ボルトから-1
2ボルトに電流が流れると電圧フォロア254、
255の入力には、それぞれ+7ボルトと-7ボ
ルトが形成される。これらの電圧は電圧フォロア
254、255の出力抵抗256を介して出力さ
れる。この2つの一定電圧を時分割で引き出すよ
うにアナログスイッチ257~264を用いて制
御する。Tモードの信号が0の時、その一定電圧
はアナログスイッチ257を介して次の電圧フォ
ロア265に与えられる。Tモードが1すなわち、
テストモードの時にはアナログスイッチ258に
よってその出力はアナロググランドに抑えられる
ため、0ボルトが電圧フォロア265に入力され
る。テストモードでは、バス上のオフセットがM
PUに通知されることになる。電圧フォロア26
5は、出力部のスイッチ制御によってイネーブル
される。出力イネーブルが1のとき、アナログス
イッチ260がオンで電圧フォロアとして働き、
その出力が与えられるが、この時、ダミーノード
出力には出力されない。逆に出力イネーブルが0

図、第17図、第18図はANP内部のディジタ
ルロジック側のハードウェアである。

第15図はシグモイド関数を実現するトランジ
スタ回路網である。ここでいうシグモイド関数と
は連続で単調非減少な関数を指し、かつ線形関数
を特に除外するものではない。同図において34
3、356、378、390、298、314の
トランジスタとそれに対になったトランジスタで
差動増幅器を形成し、コレクタ側に接続されたト
ランジスタ群がそれぞれカレントミラー回路であ
る。差動ANPの左側のトランジスタのコレクタ
を流れるコレクタ電流が出力電流である。カレン
トミラーで電流の方向を変えて出力している。電
流は出力V0に接続されている抵抗336にはい
る。抵抗336によって電圧が電流に変えられる。
ドライブ能力がないため、出力にはハイインピー
ダンスのオペアンプバッファで受ける。トランジ
スタ337、339より入力側の回路はバイアス
回路である。シグモイド関数を実現するために区
分線形法を使っている。シグモイド関数の各区分

の時にダミーノード出力に出力される。アナログ
スイッチ260とその出力のスイッチ制御は出力
イネーブル1または2によって制御され、0イネ
ーブルである。すなわち出力イネーブル1または
2が0の時にダミーノード出力に一定電圧が出力
される。なお、ダミーノード出力は上側が入力層
のダミーノード用であり、2番目が中間層のダミ
ーノード用の出力である。このダミーノードの出
力電圧は適当な値に固定されるため、スレッショ
ールド電圧として使用可能となる。なお、ツェ
ナーダイオード251、252は逆バイアス状態
で一定の電圧を出すものであり、固定電圧は、+
7ボルトから-7ボルトまでの範囲で可変できる
ようにしている。出力イネーブル1、2はアナロ
グバスにつながっている他のANPからの出力電
圧とそのアナログバス上で衝突を避けるためにマ
スタコントロールブロック181からのダミーノ
ード制御信号DCSでイネーブル状態が決められ
ている。

第15図は非線形関数発生回路であり、第16

の傾きはエミッタに接続されたエミッタ抵抗34
4と出力抵抗336の比によって決められる。こ
の時トランジスタ343等のエミッタ抵抗も含ま
れる。各差動ANPのゲインは異なる。各区分線
形の移り変わりに対するブレイクポイントは飽和
特性を利用している。その飽和特性はすべて異な
る。V0の出力点において、各オペアンプから出
力される電流の総和の値がシグモイド関数にな
るように各ANPの飽和特性を変えている。トラン
ジスタ345と抵抗R1は電流源である。トラン
ジスタ346と抵抗R2、トランジスタ353と
抵抗R3等はすべて同じ電流を供給する電流源で
ある。すなわち、電流値は同じになるように抵抗
が決められている。すべて同一電流源である。ト
ランジスタ345、346のコレクタは接続され
ているので、和の電流が抵抗344、347の交
点に流れる。トランジスタ343、348のコレ
クタ電流は、バランスした時点では同じになる。
トランジスタ351はカレントミラーの特性をよ
くするためのものである。トランジスタ350は

ダイオード接続である。電流の向きを変えるということは出力に対して、電流を引っ張りこむ場合と電流を外に出す場合がある。同図に示すように、カレントミラーのトランジスタ351のコレクタからは出力に向かって電流が流れる。下側のトランジスタ配列は沢山あるが、エミッタとコレクタが同じ点に接続されているトランジスタは同じトランジスタである。例えばトランジスタ358と360は同じトランジスタでこれはトランジスタ345と同じものである。また359と361も同じトランジスタでこれは346に対応する。368、369のトランジスタは同じであり、これは353に対応する。以下、同様である。したがって、同じ電流で駆動される定電流電源を有するオペアンプが出力電圧の正負に従って電流の向きが異なるような動作を行うものが全部で6個ある回路である。また、トランジスタ337、338はレベルシフトであり、330と327もレベルシフトである。レベルシフト回路はシグモイド関数の正と負で動作範囲がほぼ同じになるようにす

るためのものである。トランジスタ352はトランジスタ351のコレクタ電流とトランジスタ353のコレクタ電流が等しくなるための補正用のものである。トランジスタ367、385、287、307も同様である。

第16図は、ニューロチップ内に供給するパルス信号の形成するためのシーケンスジェネレータ28(第2図)の具体回路である。401と402及び404と405はインバータで、各インバータはクロック用のインバータである。フリップフロップF、Fのラッチ信号の立ち上がり用と立ち下がり用とに分けてクロックを作っている。同図のフリップフロップは立ち上がりクロックでラッチするもので、インバータとF、Fで立ち上がりラッチのF、Fを形成する。例えばDCLKでは、インバータ401を1個通ったものが立ち下がりラッチ用のクロック信号となる。そしてインバータ402を通ったものが立ち上がりラッチ用のクロックDCLKとなる。同様にインバータ404の出力が立ち下がり用のWCLKでインバー

タ405の出力が立ち上がり用クロックWCLKである。F、F410において、SYNC信号をDCLKの立ち下がり用ラッチしている。F、F410と415でSYNC信号をDCLKの1サイクル分遅らせ、SNC2信号を作って、SYNCとその1クロック遅れた信号とで1rのパルスを作っている。SYNCが立ち上がった後の1r(DCLKの1周期)のパルスでANP内の積分用コンデンサの放電を行う。すなわちCRSTという信号がそのコンデンサのリセット信号である。もう1つのDSH2はSYNCの立ち下がりからDCLKの1r分の長さをとったパルスであって、これがANP内のサンプル/ホールドのコンデンサに対するサンプル/ホールド信号となる。411のF、FではクロックがWCLKで、データがDCLKであるから、WCLKでDCLK信号をラッチしている。その後ナンドゲート414でSYNC信号がハイになっていて、かつDCLKがハイという状態で最初にきたWCLKをトリガしてF、F443のクロックにしている。ナンドゲ

ート414とインバータ440でアンドとなる。F、F443において、SYNC信号がハイになっている状態で最初にきたWCLKという信号がデジタル重みデータすなわちWDの符号ビットを取り込んでいる。この信号はシリアルに入ってくる重みデジタルデータのMSB、すなわち符号ビットである。すなわちF、F411とアンドゲート(414、440)のタイミングで符号ビットをF、F443がラッチする。4ビットの2進カウンタ416はWCLKのパルス数をかぞえる。16ビットのデジタル重みデータが入ってくるので16回数える。数え終わったところで、出力がハイとなり、インバータ423に入る。この信号は16個カウントし終わったことを指示する信号である。この信号はシリアルにANPに入ってきた重みデータをシフトレジスタ27(第2図)に入れる制御等に使われる。またカウンタ416の最下位ビットはインバータ422に入力される。このインバータ422の出力はCSO信号を生成する。CSOはディジチエーションの制御信

28784 (22)

352はトラ
ランジスタ3
めの補正用の
385、28

に供給するバル
スジェネレータ
、401と40
タで、各インバ
ある。フリップ
立ち上がり用と立
を作っている。同
がりクロックでラ
、Fで立ち上が
別えばDCLKで
ったものが立ち下
なる。そしてイン
立ち上がりラッチ用
同様にインバタ4
WCLKでインバ

0でアンドとなる。
、ENC信号がハイにな
WCLKという信号が
わちWDの符号ビット
号はシリアルに入って
のMSB、すなわち符
F、F411とアンド
のタイミングで符号ビ
チする。4ビットの2
Kのパルス数をかぞえ
フル重みデータが入って
数え終わったところで、
バタ423に入る。こ
し終わったことを指示す
はシリアルにANPに入
フトレジスタ27(第2
される。またカウンタ4
インバタ422に入力さ
122の出力はCSO信号
ディジーチェーンの制御信

号であって、アナログバスB1において、前段の
2つのANPから出される信号の誤合を防ぐため、
前の時刻のCSが落ちた後、次のCSを出すよう
にディジー動作を実行するためのディレイ回路を
形成する必要がある。このディレイの遅延時間は
WCLKをカウントし、そのカウンタ値で形成し
ている。カウンタ416のカウントが終わり、フ
リップフロップ433にその終わったという指示
の信号がインバタ423を介してラッチされる
が、これはWCLKでたたいている。すなわち1
7個目のWCLKでたたいている。インバタ4
37と438を通して、ラッチされた信号がカウ
ンタ416に戻り、カウンタ416のインクリメ
ント動作をこれ以上させないようにディスイネ
ブルの制御を行っている。インバタ438の出
力がロウになると、カウンタ416はカウントが
停止する。F、F433のQの出力はフリップフ
ロップ442に入っている。これがシフトレジス
タ408の出力のゲート信号になる。すなわち、
16個のディジタル重みデータが入ってくるのを

ジーチェーン回路である。カウンタ416の出力
をF、F434でディレイを作り、そのディレイ
で最後のF、F445をトリガを掛けている。こ
のことに、DCLKの1分ズラした上に、
そのままズラすのではなく、頭をおとすようにし
ている。すなわちCSI信号それ自身はDCLK
の1周期分はないこともあり、そのCSIをCS
OにするためにはCSIに対して、最初の、例え
ば、2マイクロ分を削って波形の前を遅らせ、後
ろはそのまま信号を作っている。ゲート425と
427はCSIのパッファゲートである。正のパ
ッファとインバタパッファである。

第17図はサンプル/ホールドS/H信号と、
OC信号を形成する位相制御回路29(第5図)
である。S/H信号はインバタ515に入るも
のと、ゲート524に入るものと別れている。O
C信号も同様である。S/H信号がゲート524
とインバタ515に別れ、インバタ515経
由でゲート525に入るとその後はインバタが
8段ある。S/H信号に対してそのままの位相と

シフトレジスタ408で順々にシフトし、符号ビ
ットを除いた数値ビットの15ビットのデータを
パラレルに並べたところでこれらを出力する。シ
フトしている間は出力は出ないようにし、全部入
ったところで出力するためのゲート信号がWRで
ある。シフトレジスタ408の内容はANPの掛
算器に与えられる。F、F433から出力される
信号は、分岐されてシフトレジスタのイネーブル
信号に使われる。F、F442はF、F433の
出力を立ち上がりでラッチするものである。W
CLKの16個の立ち下がりラッチでシフトが完了
し、その後ゲートを開くのに立ち上がりラッチで
もよいが、立ち下がりで行っている。F、F41
2はシグモイド関数の選択用のパルス信号を作る
ものである。F、F412を使ってリセット信号
がはいった時点で、WD、すなわち重みディジ
タル入力信号が0か1によってシグモイドを使う
かわらないかを選択する。この方法は本システムで
使用されない場合もある。実際はシグモイド選択
信号は、外部から直接形成する。下の回路はディ

逆位相の2通りの信号を作っている。これはイン
バタを数段分カスケードに結合し、たすきがけ
することにより2つの出力が同時に1になること
を避けている。すなわち、サンプル/ホールドS
/H信号の2つ、S/H0とS/H1を形成し、
それが両方とも1にならないようにするようにし
ている。すなわち、インバタチェーンはS/H
信号の両方が同時オンを避けるためのディレイ回
路である。ディレイの遅延時間はインバタチェ
ーンの長さによって決まり、片方がオンになっ
てから数段分遅らせ、もう片方をオンにしている。
S/HD0とS/HD1に関しても同様である。
OC信号に関する回路も基本的には同じであるが、
それはCRST信号がゲート528と529に入
っているの、CRSTが1の場合には強制的に
両方出力を1にする。OC0とOC1の両方共、
同時に1になることを避けているが、OCの場合
はCRSTが1の場合だけ同時に1になるように
している。このことにより、アナログスイッチの
制御を介して積分器のコンデンサの電荷を放電す

るというリセット機能を実現している。

第18図は15ビットのシフトレジスタ27 (第2図)である。ゲート602と603及び6014、そしてF、F627で1ビットに相当し、これを使って説明する。ゲート603には、前の時刻の出力が入力されているもので、これはF、F628の出力である。前のビットからの入力ということで、シフト用のデータ信号となる。ゲート603に入っている他の信号はSHFT、すなわちシフト信号のインバータである。これはシフト制御信号で、これが有効のとき、シフトの指示を行うことになる。またゲート602にはF、F627そのものの出力が入っている。これは自分自身の出力をフィードバックしていることになる。ゲート602の他の入力にはSHFT信号のインバータが同じように入っているが、この位相はゲート603に入っているものと異なる。これによりシフトが無効の時に、今の出力をそのまま保持することになる。クロック信号はシフトと無関係に常時入ってくるので、クロックが入ってもシフ

トが有効でなければシフトは行わない。シフト信号SHFTが有効の時だけ前のビットをシフトし、ゲート603を通して入力することでシフト動作となる。WR信号はゲート632、633等のアンドに入っている。これは各ビットの出力を出すか出さないかの選択信号となり、乗算器の方にシフトレジスタに格納されたデータをわたすかどうかの制御信号となる。また、ファンアウトをとるために、例えばインバータ620によって15個のうち5個のF、Fのリセット信号をして、ゲート626で10個のF、Fのリセット信号を受け持つようにしている。ファンアウトのシフトレジスタ608はシフトインネブルSHFTと出力のインネブルWRの機能がついている。

次に、本発明に係るニューロコンピュータを帰還型ネットワークで構成した場合について説明する。

第19A図は帰還型ネットワークの概念図である。

帰還型ネットワークの場合にも、基本的には入

力が存在するが、自分が出力した信号も帰ってくるという帰還路をもった構造となる。この帰還方式は、階層型ニューラルネットワークにおける1層を時分割多重使用するタイプとして利用される場合と、またいわゆるホップフィールド型のニューラルネットワークとして利用される場合がある。

前者の場合、ANPの入出力信号は、時分割であるので、各ANPの出力点ではある一定のシーケンスサイクル毎にその同じANPの出力データが逐次に出力されて、1つシーケンスサイクルごとに階層型ニューラルネットワークの入力層、中間層、出力層として順次動作する。後者の場合、ANPの出力が特定の値になるまで、つまり安定するまで、出力電圧が帰還される。帰還している結果を出した時に、その結果が前のデータ、つまり自分が前に出したデータと一致するまで、状態が繰り返され、安定解に達すれば収束となる。

本発明の実施例によれば、第19B図に示されるように、帰還路を共通アナログバスCBで実現することになりコの字型の帰還部が存在する。そ

して1個自分が計算して出したものが出力され帰還路を通じて各ANPからの出力がフィードバックされることになる。この帰還動作を繰り返していく。

第20図は本発明のニューロコンピュータを階層型ネットワークとして動作する帰還型ネットワークによって実現した実施例である。アナログ入力ポート1、2からの時分割アナログ入力信号に対してANP1、2、3において積和演算を行い、ANP1、2、3を中間層として動作させANP1、2、3からアナログバスB2に時分割出力し、この出力信号を帰還路であるアナログコモンバスCBを介してアナログバスB1に帰還し再びこの帰還信号に対してANP1、2、3で積和演算を行うことにより、ANP1、2、3を出力層として動作させることにより、一層のANP1、2、3により階層型ネットワークを実現したものである。マックスバリュノード回路187はマスタコントロールブロックのDCS出力を受けてアナログバスB2にダミー信号を生ずる。そしてマス

も、基本的には入

・コンピュータを階
作する帰還型ネットワ
ークである。アナログ入
力アナログ入力信号に
おいて積和演算を行い、
として動作させANP
スB2に時分割出力し、
あるアナログコモンバス
スB1に帰還し再びこの
1, 2, 3で積和演算を
1, 2, 3を出力層とし
、一層のANP1, 2,
ークを実現したものであ
ード回路187はマスタ
のDCS出力を受けてアナ
ログ信号を生ずる。そしてマス

第22図は本発明にかかるアナログニューロコンピュータをホップフィールド型の帰還型ネットワークで構成した実施例であり、第23図はそのタイミングチャートである。マスタコントロールブロック181の、メモリ・アドレス端子及びモード端子の出力が重みメモリブロック185に加えられ、この重みメモリブロック185のデータ出力であるB10はANP1、B11はANP2、B12はANP3に接続される。マスタコントロールブロック181のCSO1の端子からの出力信号は、ディジー回路171、スイッチ175に加えられ、この信号の立ち上がりで、アナログ入力ポート1からのサンプル／ホールド回路173の出力をアナログバスB1に乗せる。そしてディジー回路171で所定時間遅延された後、CSOの出力が生じ、これがディジー回路172にCS1として加えられてアナログ入力ポート2に接続されたサンプル／ホールド回路174の信号をスイッチ176を介してアナログバスB1に乗せる。

同様にディジー回路172'の出力信号CSOがアナログ入力ポート3に接続されたサンプル/ホールド回路174'の出力スイッチ176'を開いてその信号をアナログバスB1に乗せる。ANP1では第23図に示すように、DCLK信号の1周期で1つの積和の演算を行い、DCLK信号がハイの時に重みクロックを駆動し、その重みクロックに同期して入るディジタル重みデータと、アナログ入力信号との掛け算を行い、DCLKの後半のロウ信号の時に、サンプル/ホールド信号SHがハイとなり、積分器のキャパシタにおいて、積和の動作を行う。すなわちCSO1すなわちディジー回路1のCSIがハイになっている期間①で、バスB1上のアナログ信号に対してANP1、2、3は積和演算を行う。また、マスタコントロールブロック181からのOC信号がハイとなると、ANP1、2、3はオフセットキャンセルを行い、サンプル/ホールドして1つの積和演算周期を終える。次に第2のディジー回路172の入力信号CS1がハイ②になるので、次のアナログ入力ポ

ートからの入力信号に対しANP1、2、3は積和演算を行う。そして、その積和演算周期が終了した後に、ディジー回路172'にCS1信号が入り、サンプル/ホールド回路174'から出力信号が生じて、③で示すように第3番目の積和演算サイクルに入る。

次にマスタコントロールブロック181からCSO2信号④が生じて、ANP1から前回の積和サイクルの時に形成されていた信号がアナログバスCBを介して帰還され、その帰還された信号に対して、ANP1、ANP2、ANP3で積和演算を同時に行う。次に所定時間遅延した後、ANP1のCSO出力信号が⑤でANP2に加えられ、ここでディジーチェーン的に前回の積和サイクルの時に蓄えられた信号をANP2が出力する。この信号はアナログバスCBを介して帰還されてANP1、ANP2、ANP3で積和演算を⑥で駆動する。そして同様に所定時間遅延した後、ANP2のCSOが⑥でANP3に加わえられ、ここでANP3からの出力をアナログバスCBを介し

て帰還して、ANP1、ANP2、ANP3において⑥で積和演算を行う。帰還型ネットワークにおいては、第23A図及び第23B図に示すように、3つのANPにおいて、6つの積和演算サイクルを経て出力が、それぞれサンプル/ホールド回路177、178、178'を介してアナログ出力ポート0、1、2へと出力される。また、サンプル/ホールド回路177、178、178'の出力信号がアナログマルチプレクサ179で選択出力されたものをA/Dコンバータ180を介してMPU182、メモリ182、通信インターフェイス184を含むディジタル制御回路に与えられる。MPU182で現時刻のニューロン出力状態と前時刻のニューロン出力状態が同じになったかどうかをチェックする。同じになれば収束したものと判定する。このように、1本の共通アナログバスCBを介して実行される。帰還動作を繰り返していくことによって安定解に到達すればこれを最終的な出力とする。

第24図は、帰還型ネットワークと階層型ネッ

トワークを組み合わせたものの最適用例である。入力層としてディジー回路が設けられ、中間層にはANP1、2、3が設けられる。出力層にはANP4、5が設けられる。そして中間層のANP1、2、3の出力はアナログバスB2と共通アナログバスCDを介してアナログバスB1に帰還される。また、アナログバスB1、B2にはゲミノーノードとして働くマックスバリュノード回路187が接続されている。そして、出力層を構成するANP4、5の出力はサンプル/ホールド回路177、178をそれぞれ介してアナログ出力ポート0及び1に出力される。B3は出力層アナログバスである。

第25図を用いて第24図に示したニューラルネットワークの動作を説明する。

まず、DCLK及びWCLKがマスタコントロールブロックからディジー回路171及びANP1、2、3、4、5にそれぞれ入力される。マスタコントロールブロック181から①に示すようにCSO1がCS1として第1のディジー回路1

2. 3は積算周期が終了CS1信号が4から出力1番目の積和演算

181からCから前回の積和信号がアナログバスB2に選された信号にANP3で積和演算した後、ANP2に加えられ、2回の積和サイクル2が出力する。こして帰還されてA積和演算を⑤で選延した後、AN2に加えられ、ここログバスCBを介し

の最適実施例である。設けられ、中間層にれる。出力層にはAそして中間層のANPログバスB2と共通アナログバスB1に帰還され、B2にはダミーバリュースタック回路1として、出力層を構成するサンプル/ホールド回路を介してアナログ出力ボる。B3は出力層アナロ

4図に示したニューラルを明する。CLKがマスタコントロール回路171及びANPそれぞれ入力される。マスタク181から①に示すように第1のディジ回路1

71に入力されるとアナログ入力ポート0からの信号がサンプル/ホールド回路173及びスイッチ175を介してアナログバスB1に生じ、ANP1, 2, 3において積和演算がSH1及びCS1の制御で行われる。

次に、CSO1が立下がった後、所定時間経過後に第2のディジ回路172に入力されるCS1信号が②に示すように立ち上がると、アナログ入力ポート1からの信号がサンプル/ホールド回路174及びスイッチ176を介してアナログバスB2により中間層のANP1, 2, 3において、SH1に示すように積和演算が行われる。同様にCSO2が信号が立ち下った後、所定時間経過後に③に示すように第3のディジ回路へのCS1信号が立ち上がると、中間層ANP1, 2, 3で積和演算が行われる。そして、中間層ANP1, 2, 3の出力はCSO2が④で示すように立ち上がってANP1に加えられ、アナログバスB2に出力されその出力は共通アナログバスCBを介してアナログバスB1に帰還されるので、中間

その次に、マックスバリュースタック回路187へダミー信号DSC1が⑦で与えられると、アナログバスB1に⑧に一定電圧が出力され、この電圧は共通バスCB及びアナログバスB1を介して帰還され、これに対して、ANP1, 2, 3で積和演算が行われる。それと共に出力層ANP4, 5でも積和演算が行われる。

SYNC1は、中間層で積和演算される期間と中間層及び出力層で積和演算される期間にわたってハイであり、SYNC2は中間層と出力層で積和演算がされる間がハイである。そして、CSO3が出力されるとANP4は⑨のところで出力を生じ、そのCSO3信号が立ち下った後、所定時間後にANP5もまた出力を⑩のところで生ずる。

なお、アドレス1及びイネーブル信号がロウである間はWCLKが抑止される。

第12C図及び第12D図に従って、学習アルゴリズムを実行する際にMPUとANPのインターフェイスを構成する回路について、第26図及

層のANP1, ANP2, ANP3においては再び積和演算が行われSH1とOC1の制御で積和演算が行われると共に、ANP1の出力はアナログバスB2上に生じているので、ANP4, ANP5においても、SH2とOC2の制御で積和演算が行われる。すなわち、この実施例においては、中間層ANP1, ANP2, ANP3と出力層ANP4, ANP5において同時に積和演算が行われる。

次に、CSO2が立ち下った後所定時間経過後に中間層のANP2に⑤に示すようにCS1信号を入力されるとANP2の出力信号はANP2、共通バスCBを介してアナログバスB1に帰還されるので、ANP1, 2, 3においては再び積和演算が行われると共にANP4, 5においても同時タイミングで積和演算が行われる。

さらに、⑥で示すようにCS1信号がANP3に入力されるとANP3は出力信号をアドレスバスB1に生じるのでANP1, 2, 3及び出力層のANP4, 5で同時に積和演算が実行される。

び第27図を参照して説明する。第26図は、第8図に示した階層型ネットワークにおいて、MPUからの入力データをANPのネットワークに取り組むか、或いは通常のアナログ入力信号をANPのネットワークに取り込むかを制御する入力制御ブロック回路721をアナログバスB1の前段すなわち入力段に設けたものである。さらに、アナログバスB1, B2はそれぞれサンプル/ホールド回路722, 723を介してアナログマルチプレクサ179に接続され、入力段及び中間層の読みデータもMPUにおいて、学習アルゴリズムに従って決定される。その他は階層型ネットワークの前記実施例と同一箇所は同一番号を付して省略する。

入力制御ブロック721は、マスタコントロールブロック181からCSO1がCS1として入力されるとともに、DCLK及びWCLKが入力され、また、MPUアナログバス及びデータバスに接続される。さらに、アナログ入力ポート1及び2からの入力信号も入力制御ブロック701に

入力される。入力制御ブロック721は入力段として動作し、その出力はアナログバスB1に接続される。

第27図は本発明の入力制御ブロック回路721の構成図である。同図において701はアドレスデコード、702はファーストインファーストアウトのFIFOメモリ、703はD/Aコンバータ、704はDタイプのフリップフロップ、705はディジー回路である。

学習アルゴリズムが実行される場合には、階層型のニューラルネットにはMPUからのデータが完全情報として入力される。この場合、MPUからのアドレスがアドレスバス706に輸入され、アドレスデコード701で特定なアドレスを検出し、ラッチ信号としてDタイプのフリップフロップ704にMPUからのデータの1ビットをセットする。そのセット情報によってMPUからのデータをアナログバスB1を介してANPに入力させるか、アナログ入力ポートからのアナログ入力をディジー回路707、708を介してアナログ

入力バスに入力させて通常モードで使用するかを決定する。マスタコントロールブロック181からのCSIが入力された時点で、もしフリップフロップ704の内容が1であるならば、アンドゲート709の出力が1で、下のアンドゲート710の出力は0となる。従ってディジー回路705にはCSI信号が入力されず、CSIの立ち上がりから所定時間だけ遅延させたCSO信号も0のままである。そのため、MPUのデータが格納されたFIFOメモリ2の出力は、CSIが0であるからアナログスイッチ713は閉じたままとなり、D/Aコンバータ703を介してアナログバスに出力されない。

このとき、アンドゲート709の出力は1であるから、これは通常モードであってディジー回路707のCSIは1となり、アナログ入力ポート1からのアナログ入力がサンプル/ホールド回路711を介してアナログバスに乗る。その入力完了後、CSIが立ち下がり、所定時間経ったのち、CSOが入力されてディジー動作となって下のデ

ィジー回路708に入力される。この時アナログ入力ポート2からの入力がサンプル/ホールド回路712を介してアナログバスに入力される。そして、時分割動作によってアナログ入力が中間層の各ニューロチップにそれぞれ入力される。

一方、フリップフロップ704の内容が0である場合に、マスタコントロールブロック181からのCSIはアンドゲート710を介してディジー回路707に入力され同時に、アナログスイッチ713にも入力される。この場合、D/Aコンバータ703の出力がアナログバスB1に出力される。そしてこれが完了すると、CSOが立ち上がり、この時FIFOメモリの最後のD0データがD/Aコンバータ703を介してD/A変換されてアナログバスに乗ることになる。そして、FIFO動作も同時に行われ、これと並行してアンドゲート714、710を経てディジー回路705のCSIへ自らが出力したCSOが帰還し、D/Aコンバータ703を介して、FIFOメモリからアナログバスB1に順次完全情報が出力され

る。FIFOメモリ702は例えば、完全情報としてA～Zを学習する場合、Zまで学習終了した時点でエンブティとなる。FIFOメモリ702がエンブティになると、アンド回路714の出力が0となるので、アンド回路710の出力も0となり、アナログスイッチ713は閉じられる。このFIFOメモリ702への入力はMPUからの特定なアドレスによってイネブルとなり、その時のMPUデータはFIFOメモリの1番左側のアドレスに順番に格納されることになる。学習時のMPUからのデータは学習すべき入力パターンであってこれは完全情報となる。このようなDからD_nまでのn個の完全情報が多重記憶された形でニューラルネットの重みデータへ写像されて、結果としてニューラルネットが自己組織される。各入力パターンD_iに対する重み情報が前述した学習アルゴリズムによって定まり、その定まった重みデータはMPUを介して重みメモリブロック1(185)とブロック2(186)に格納される。

に使用するかを
 コック181か
 らしフリップフ
 らば、アンドゲ
 ンドゲート71
 ジー回路705
 S1の立ち上が
 SO信号も0の
 データが格納さ
 、CSIが0であ
 は閉じたままとな
 介してアナログバ

9の出力は1であ
 らってディジー回路
 アナログ入力ポート
 ブル/ホールド回路
 に乗る。その入力完
 所定時間経ったのち、
 動作となって下のデ

(発明の効果)

本発明によれば、 n 個のニューロチップからなる前段層と m 個の複数のニューロチップからなる後段の層を考えると、従来は配線数が nm 個になるのに、本発明の実施例によれば、アナログバス1本にすることができるので配線数を大幅に減少させることができ、また、 n 個のニューロチップからなる層に入力アナログ信号を入力する際に、放送方式と同様にアナログバスを介して同時に入力できるので、1層内の n 個のニューロチップが並列演算ができる。さらに、各層についてもパイプライン処理が行われるので、演算速度を高速にできる。

また、ニューロチップをアナログ回路で構成しているため、回路の規模が小さくてすみ、このため電力も小さくてすむので、多数のニューロチップによりニューロコンピュータを構成することができる。そして、ニューロチップの数を増やすことはマスタコントロールブロック内の制御パターン

第6図は、本発明の基本ユニットに用いられる積分器の動作タイミングを説明する図、

第7A図は、階層型ニューラルネットワークの概念図、

第7B図は、本発明による階層型ニューラルネットワークの概念図、

第8図は、本発明のニューロコンピュータを階層型ネットワークで実現した一実施例の具体的回路、

第9A図、第9B図は、第8図に示した信号処理のタイミング図、

第10図は、ディジタル重みデータの読み込みタイミングを示す図、

第11A図は、マスタコントロールブロックの具体的回路図、

第11B図は、制御パターンメモリ及びマイクロコードメモリの構造を示す図、

第12A図は、重みデータメモリへのデータ充填方法を示す図、

第12B図は、重みデータメモリの具体的構成

をかえることにより容易に行える。

さらに、学習アルゴリズムの実行時とアナログ入力信号の入力時とを選択することにより、ANPが学習機能を効率よく実行することができる。

4. 図面の簡単な説明

第1A図は、本発明のニューロコンピュータの原理ブロック図、

第1B図は、本発明のアナログニューロプロセッサ(ANP)のチップから構成されたパッケージの概略図、

第1C図は、本発明のANPの内部構成図、

第2図は、本発明のアナログニューロプロセッサの原理構成図、

第3図は、本発明の基本ユニットの一実施例のブロック図、

第4図は、本発明の基本ユニットの実施例の具体的回路図、

第5図は、本発明の基本ユニットの他の実施例の具体的回路図、

図、

第12C図及び第20D図は学習アルゴリズムのフローチャート、

第13図は、ディジー回路の具体的回路図、

第14図は、マックスバリュノード回路の具体的回路図、

第15図は、シグモイド関数発生回路の具体的回路図、

第16図は、シーケンスジェネレータの具体的回路図、

第17図は、位相制御回路の具体的回路図、

第18図は、シフトレジスタの具体的回路図、

第19A図は、帰還型ネットワークを説明する概念図、

第19B図は、本発明のニューロコンピュータにより帰還型ネットワークを構成した場合の説明図、

第20図は、本発明によるニューロコンピュータにより、第1の帰還型ネットワークを構成した実施例の具体的回路図、

は例えば、完全情報と、 Z まで学習終了したFIFOメモリ702の出力回路714の出力回路710の出力も0と、13は閉じられる。このへの入力MPUからのイネーブルとなり、そのFIFOメモリの1番左側のれることになる。学習時：学習すべき入力パターン情報となる。このようなD。完全情報が多重記憶されたの重みデータへ写像されて、ネットが自己組織される。に対する重み情報が前述したって定まり、その定まった介して重みメモリブロック2(186)に格納され

第21A図及び第21B図は、第20図に示した実施例の信号処理を示すタイミング図、

第22図は、本発明のニューロコンピュータにより、第2の帰還型ネットワークを構成した実施例の具体的ブロック図、

第23A図及び第23B図は、第22図に示した実施例の信号処理を示すタイミング図、

第24図は、本発明のニューロコンピュータにより階層型と帰還型とを組み合わせた他の実施例のブロック図、

第25A図及び第25B図は、第24図に示した実施例の信号処理を示すタイミング図、

第26図は、本発明の一実施例に係り学習アルゴリズムを実行する階層型ネットワークのブロック図、

第27図は、上記実施例の入力制御回路の具体的回路図、

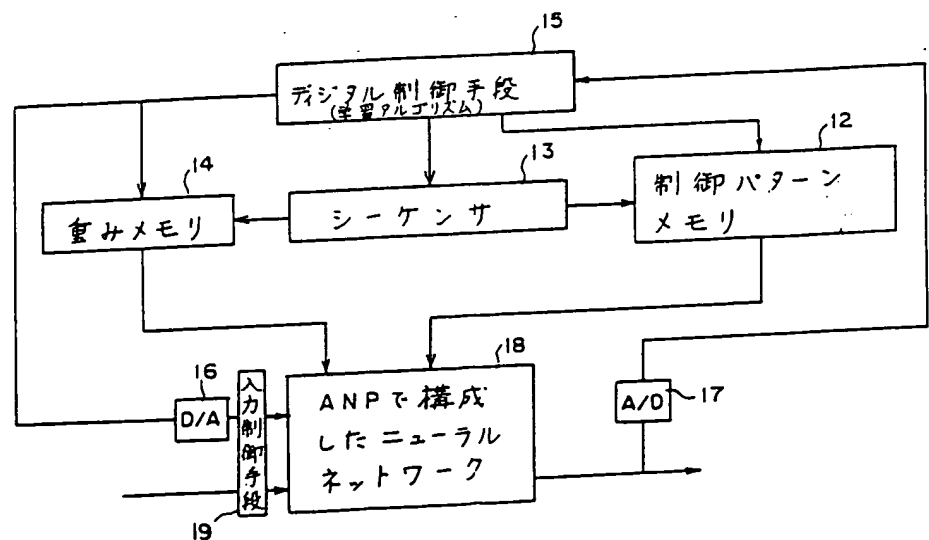
第28図は、ニューロンモデルの基本ユニットの原理構成図、

第29図は、階層型ニューラルネットワークの

構成概念図である。

- 12・・・制御パターンメモリ、
- 13・・・シーケンサ、
- 14・・・重みメモリ、
- 15・・・デジタル制御手段、
- 16・・・D/Aコンバータ、
- 17・・・A/Dコンバータ、
- 18・・・ANPで構成したニューラルネットワーク、
- 19・・・入力制御手段。

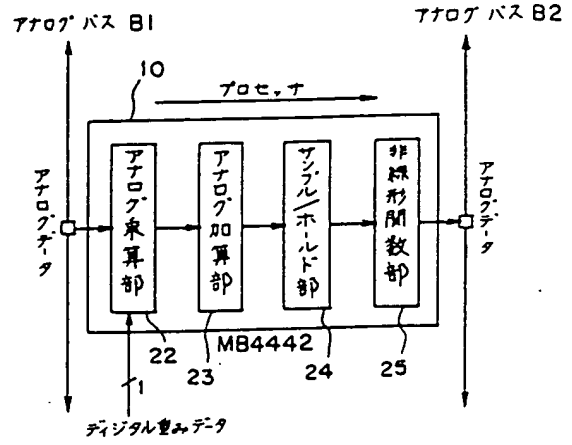
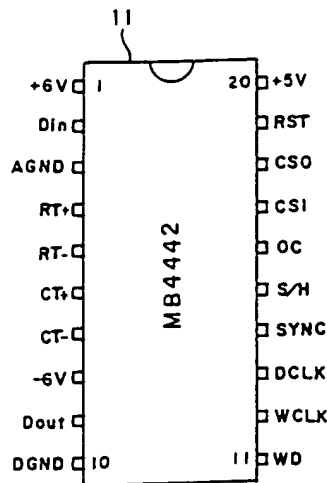
特許出願人 富士通株式会社



第1A図

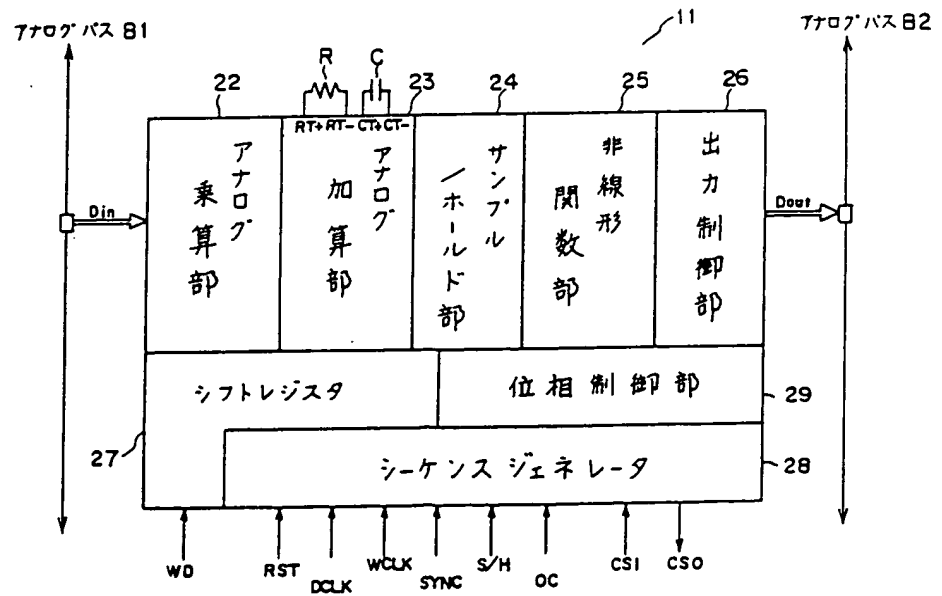
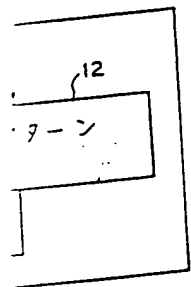
ユーラルネット

株式会社

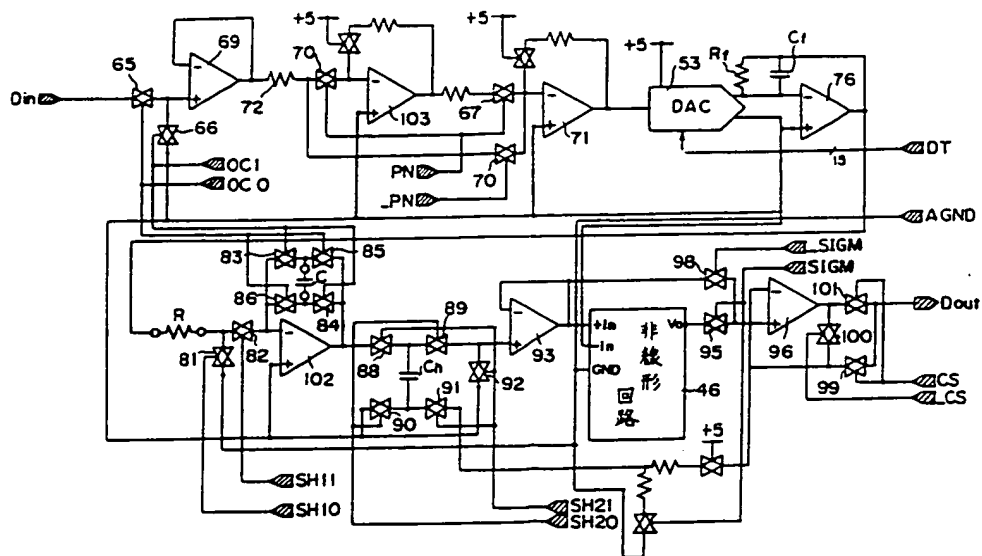
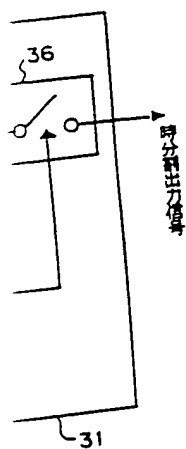


第18図

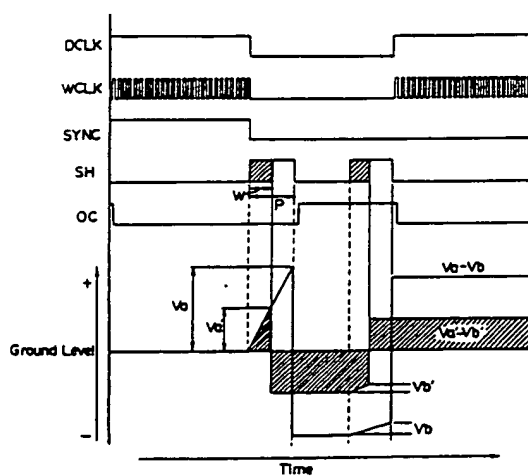
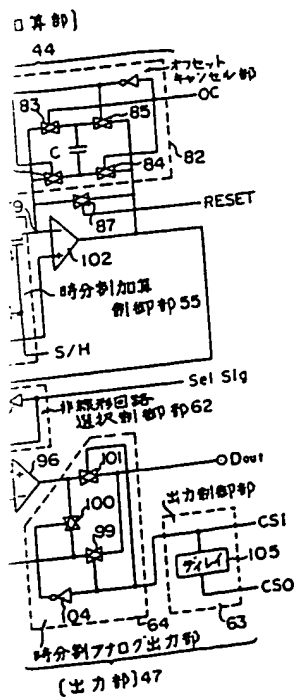
第1C図



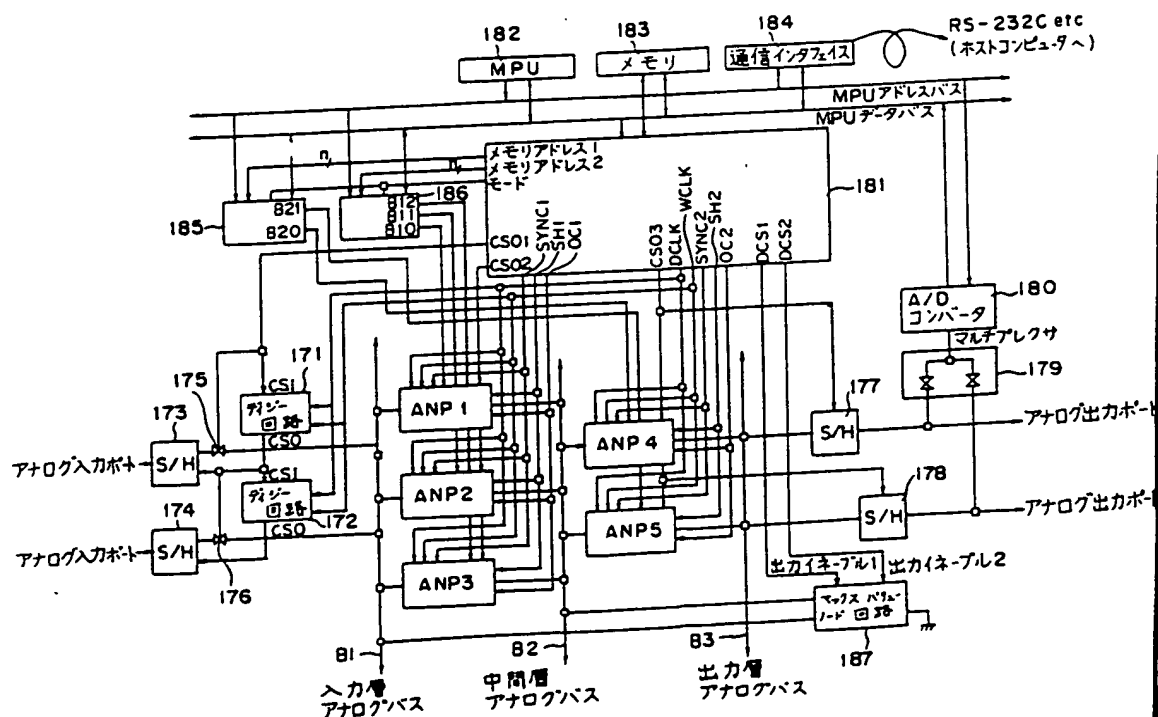
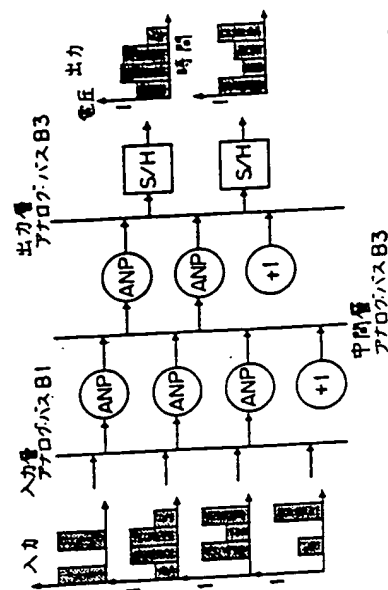
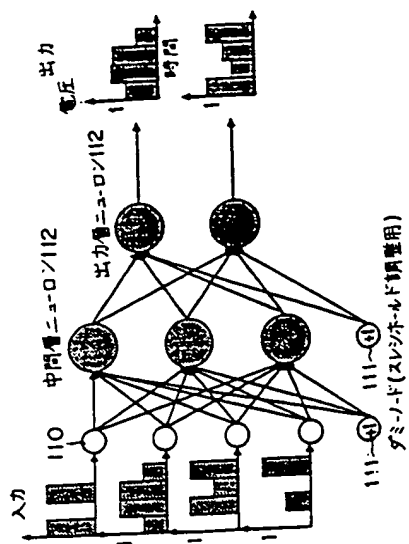
第2図



第 5 図

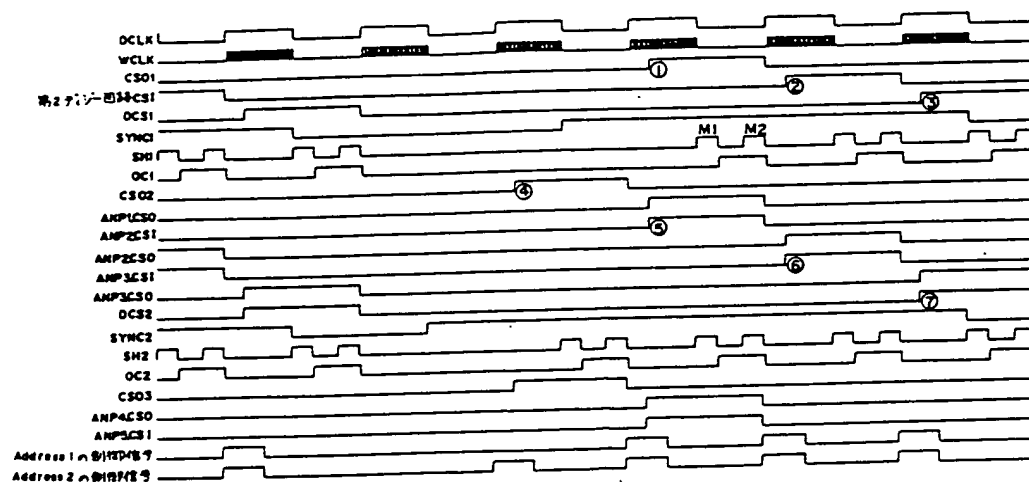


第 6 図

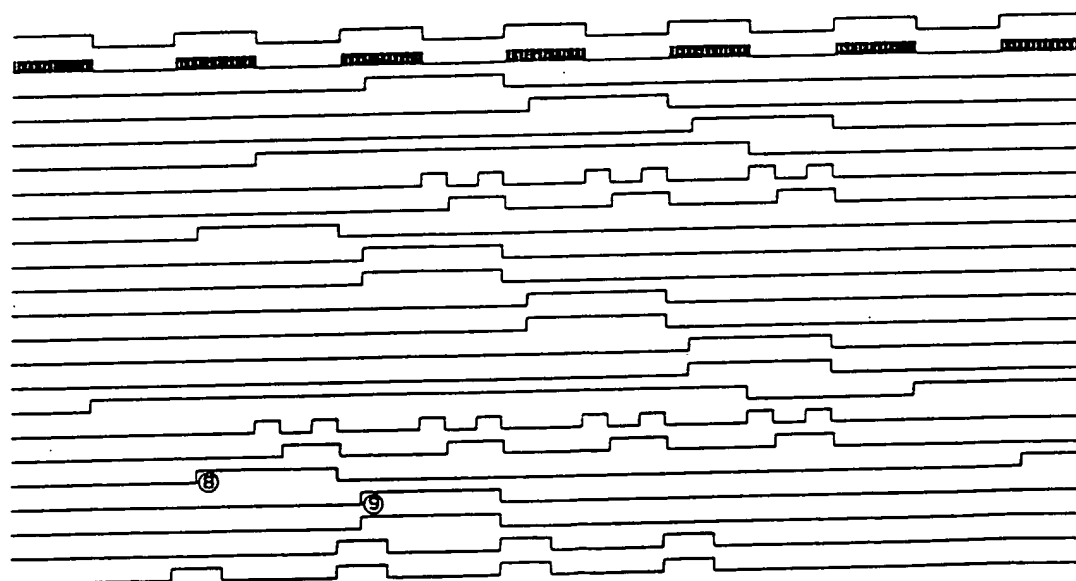


中野區
アナログバス83
ANP・アナログミニプロセッサ
S/H・アナログサンプリングボード826

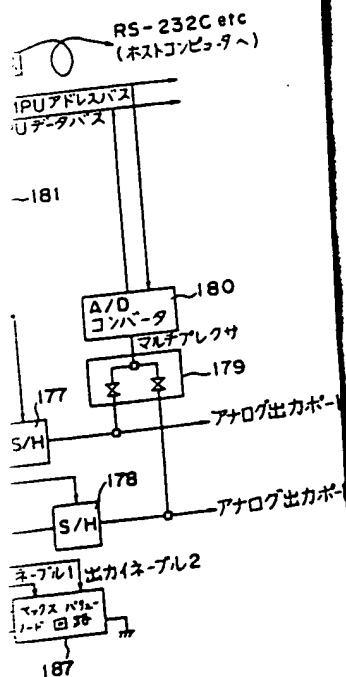
第7日 凶

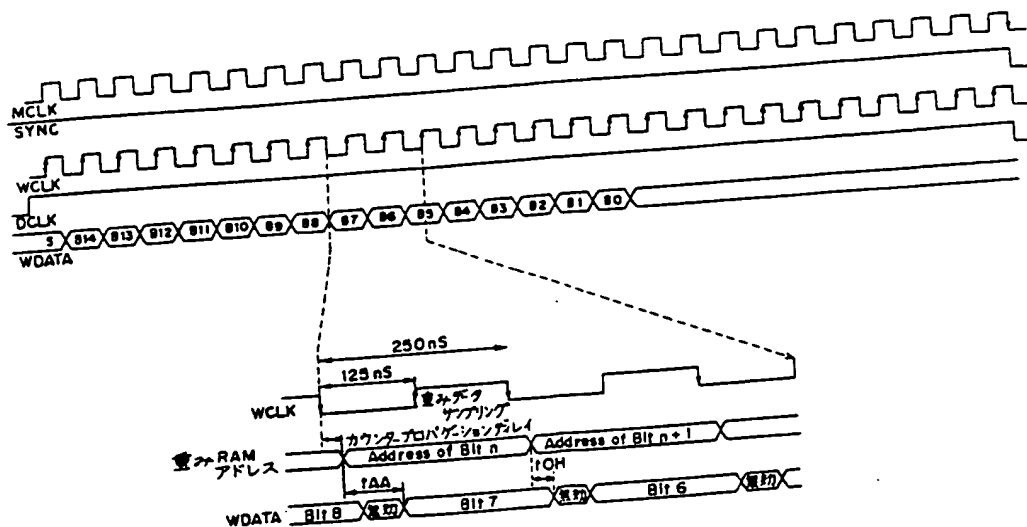


第 9A 區

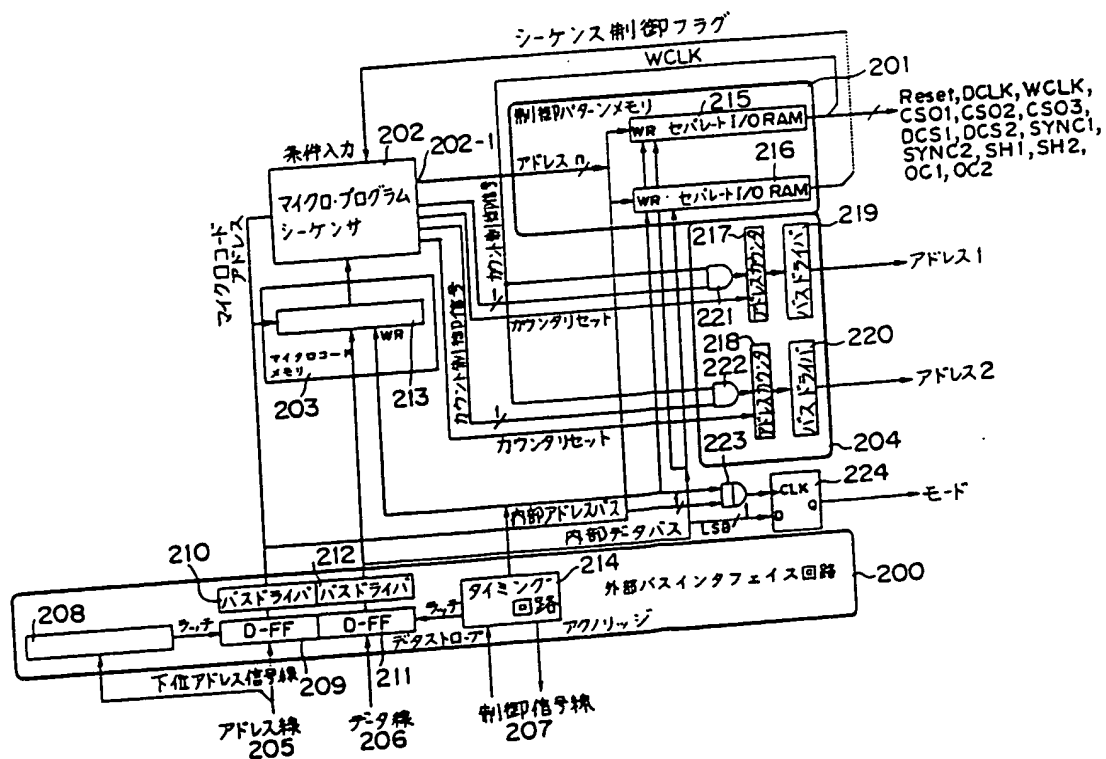


第 98 回

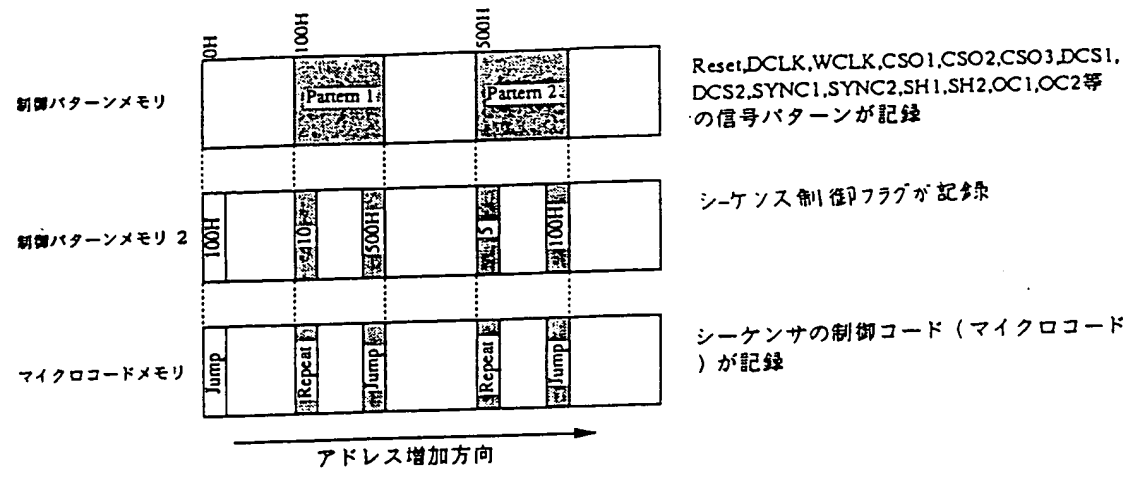
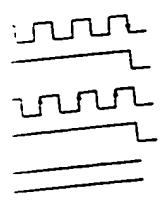




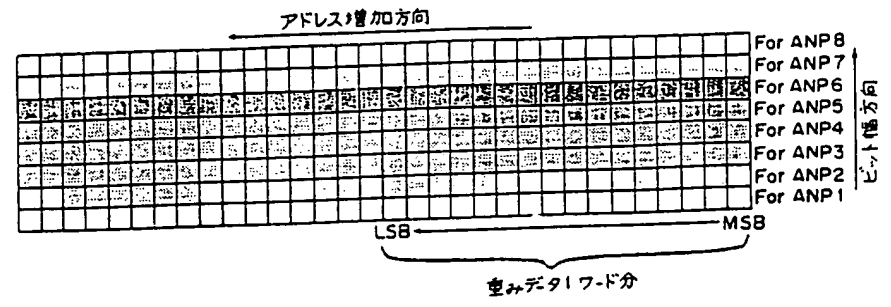
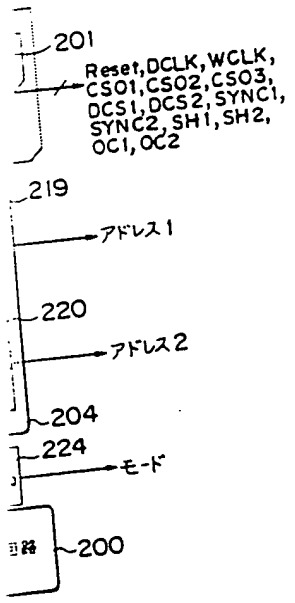
第 10 図



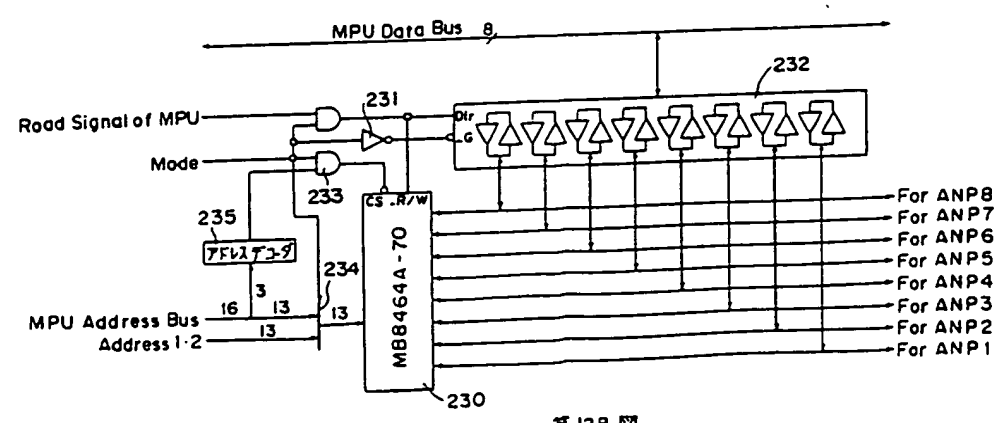
第 11 A 図



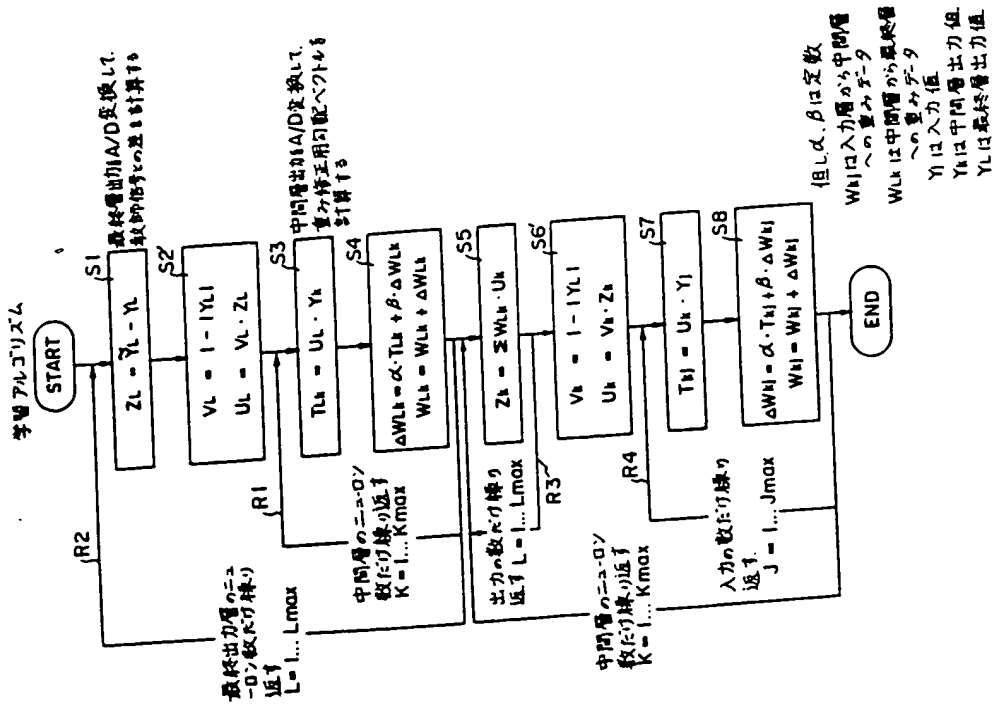
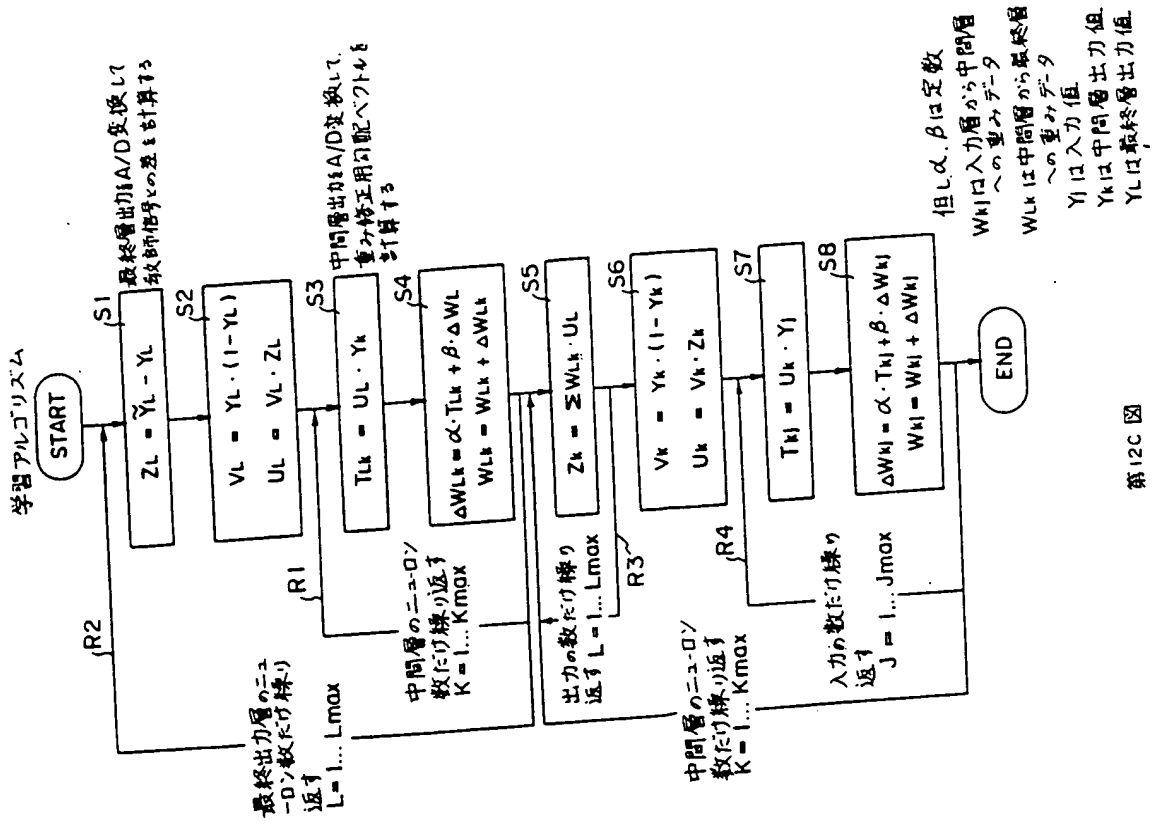
第11B 図

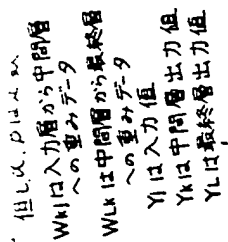


第12A 図

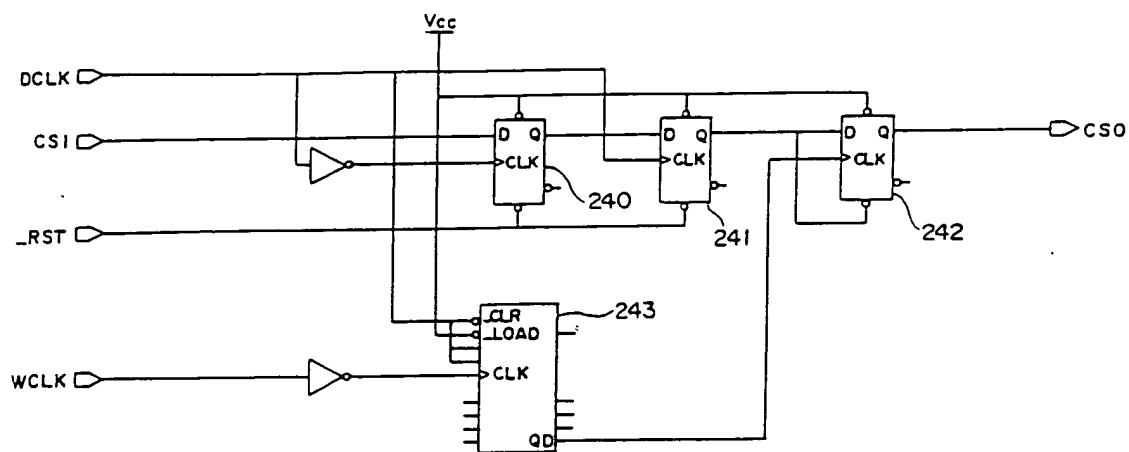


第12B 図

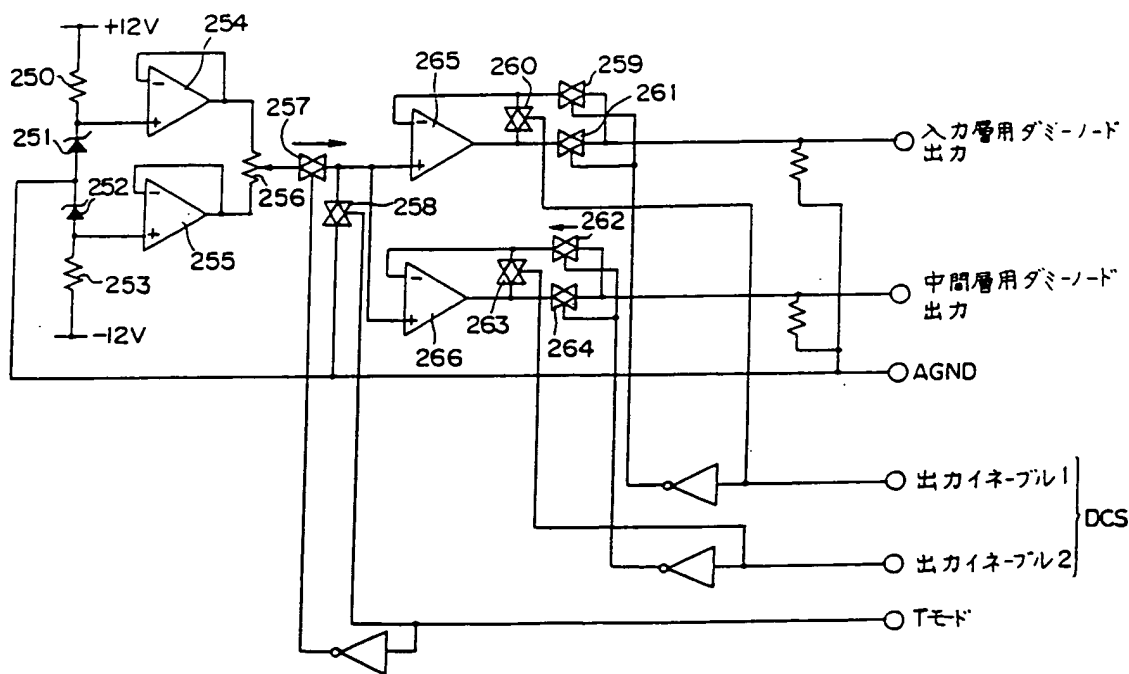




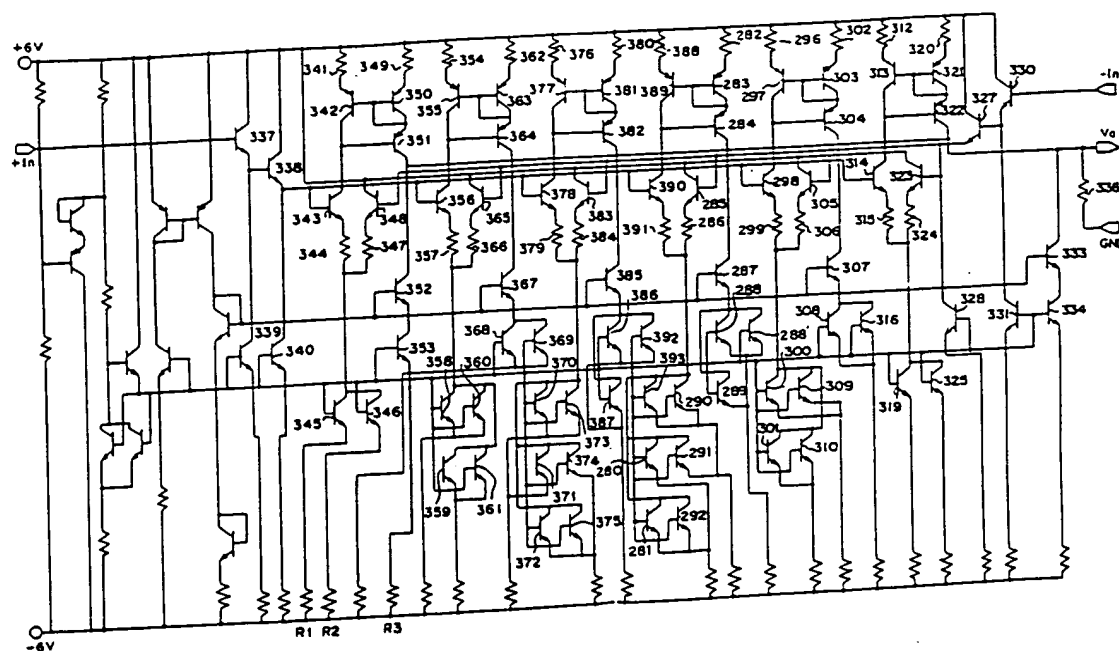
第12C 図



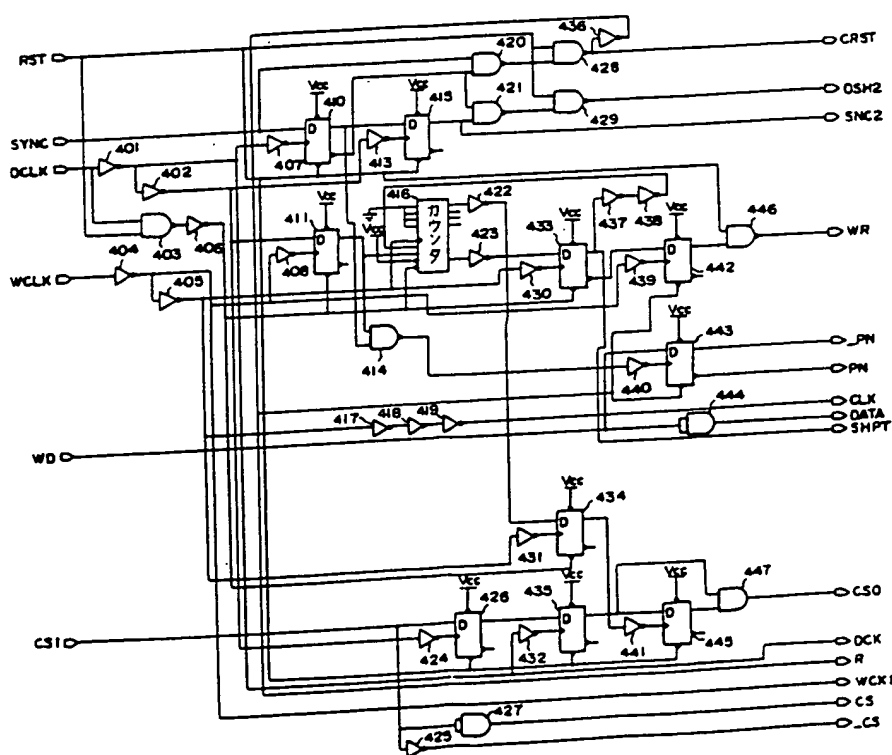
第 13 图



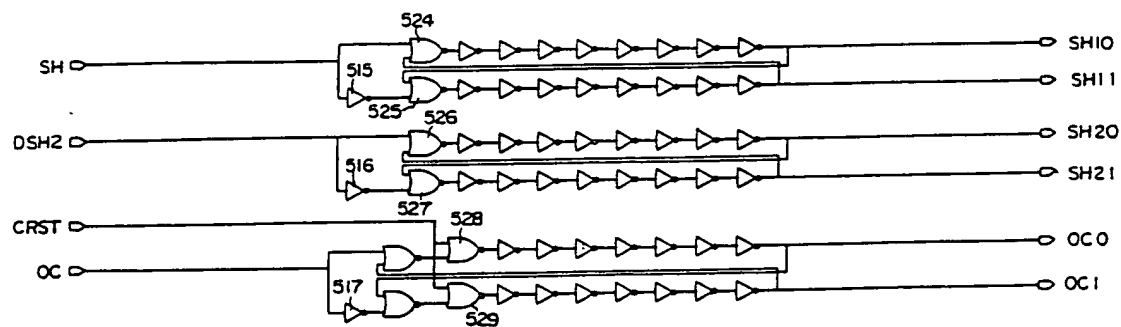
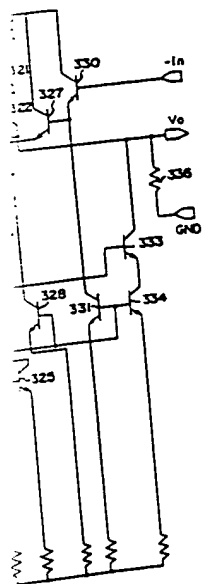
第 14 图



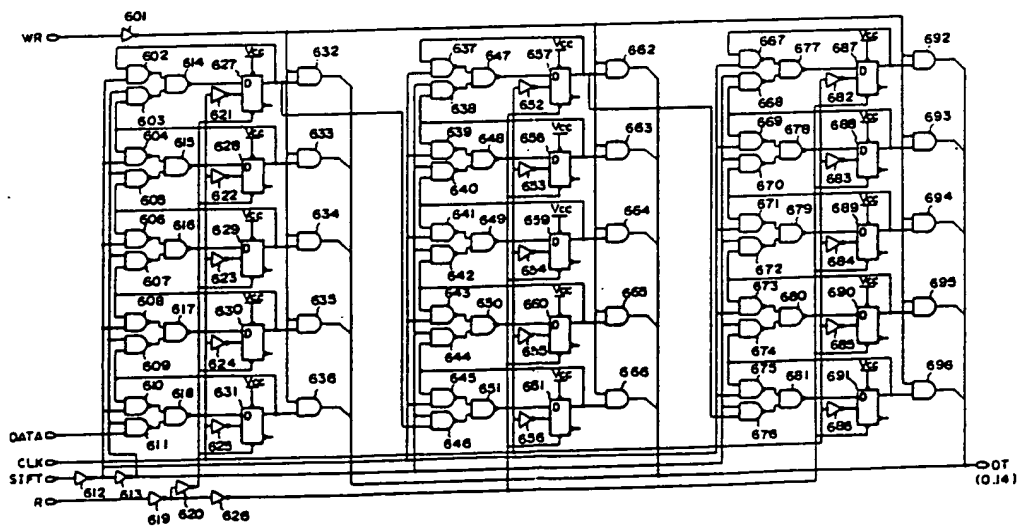
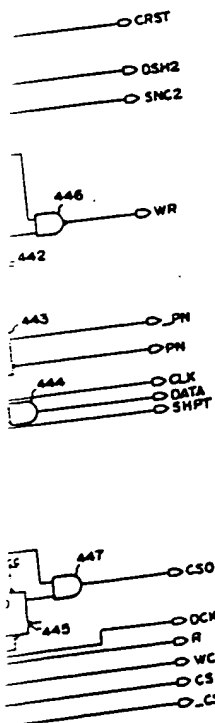
第 15 図



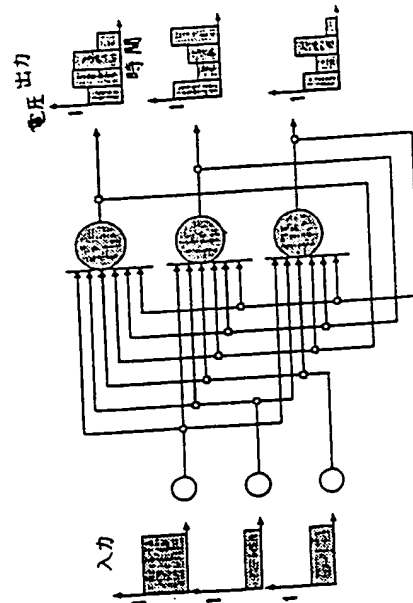
第 16 図



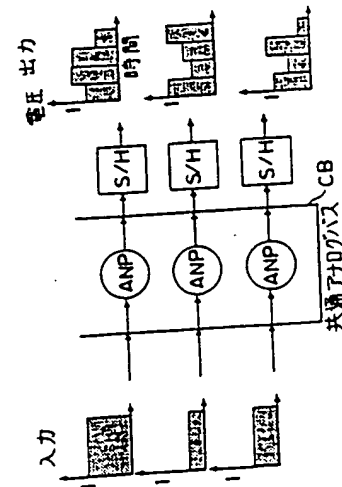
第 17 図



第 18 図

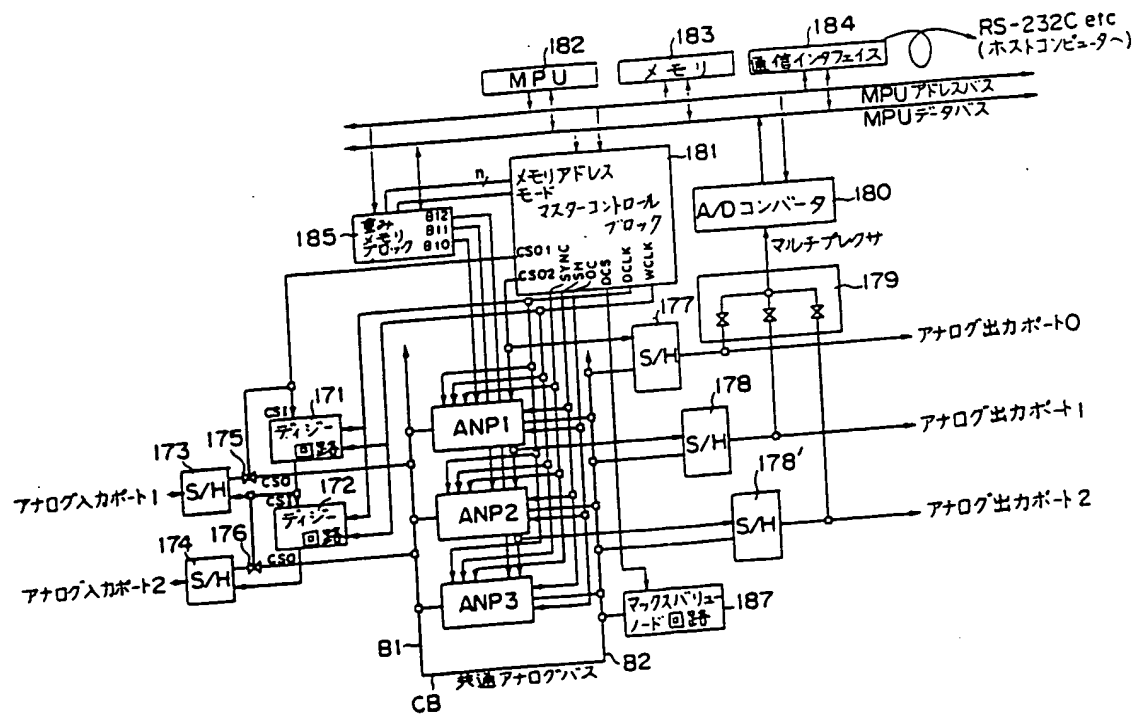


第19A図



ANP: アナログニューロプロセッサ
S/H: アナログサンプル・ホールド回路

第19B図

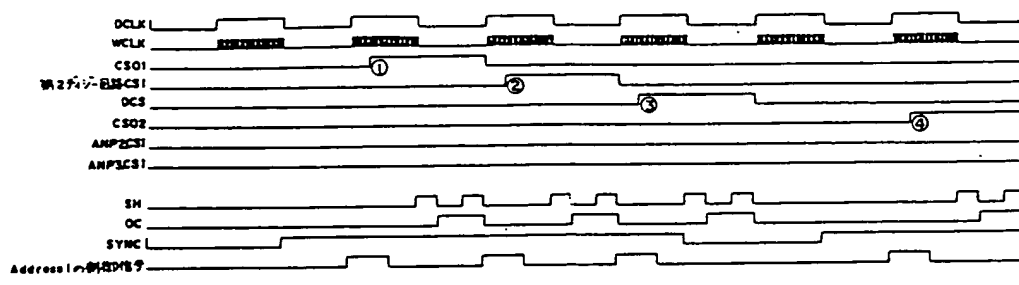


第20図

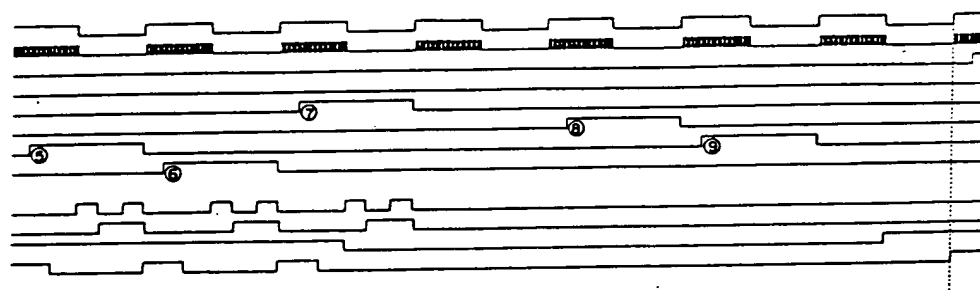
平2-228784 (42)

ANP: アナログサンプリング・ホールド回路
S/H: アナログサンプリング・ホールド回路

第19B図



第21A図



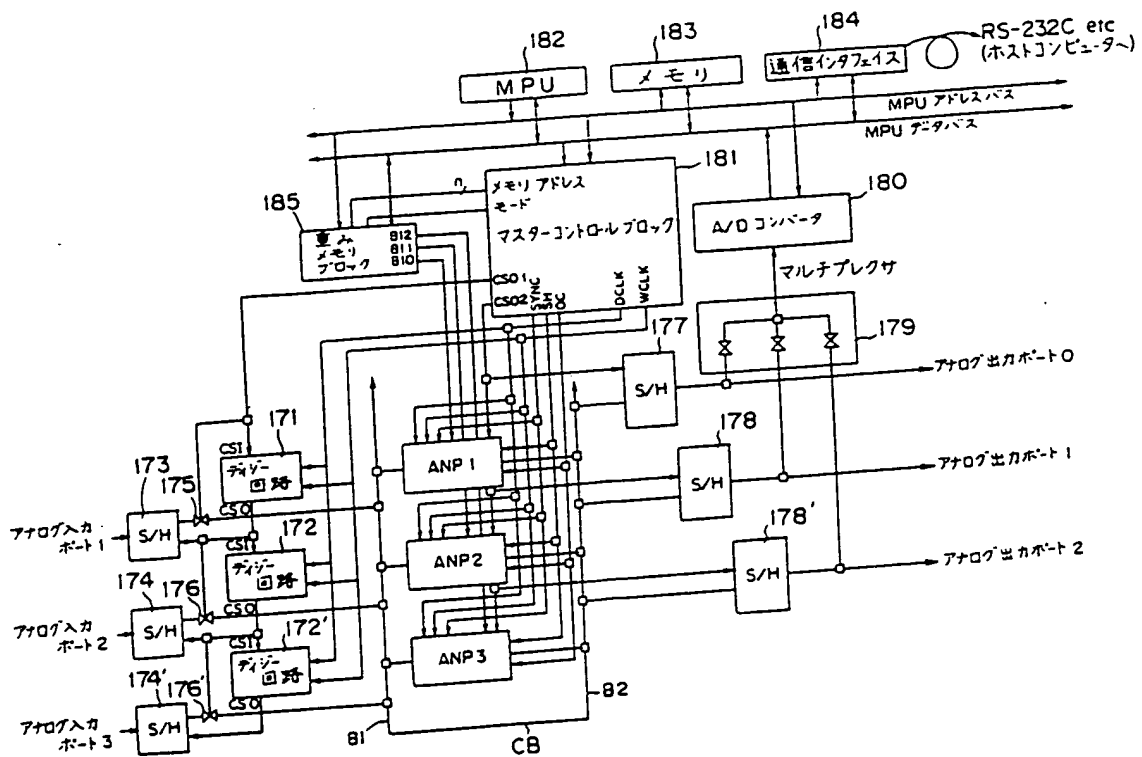
第21B図

4
バス
RS-232C etc
(ホストコンピュータへ)
MPUアドレスバス
MPUデータバス

180
レグサ
179
→ アナログ出力ポート0

→ アナログ出力ポート1

→ アナログ出力ポート2



第 22 题

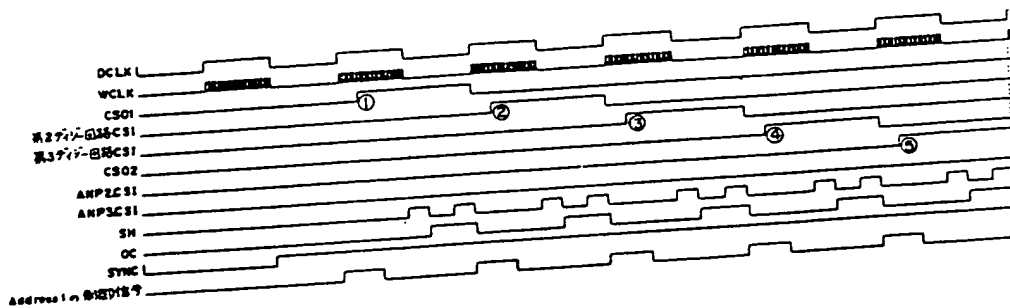
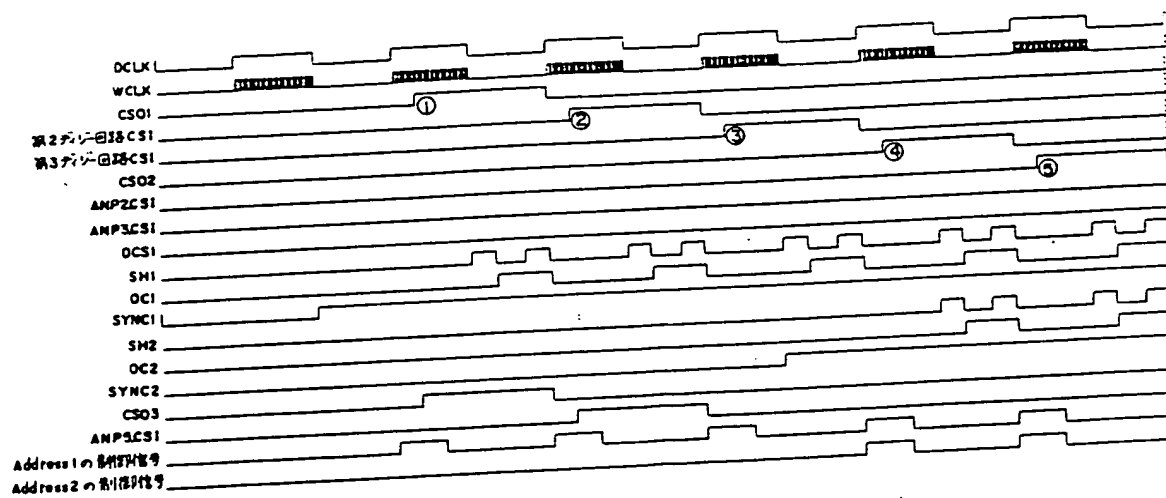
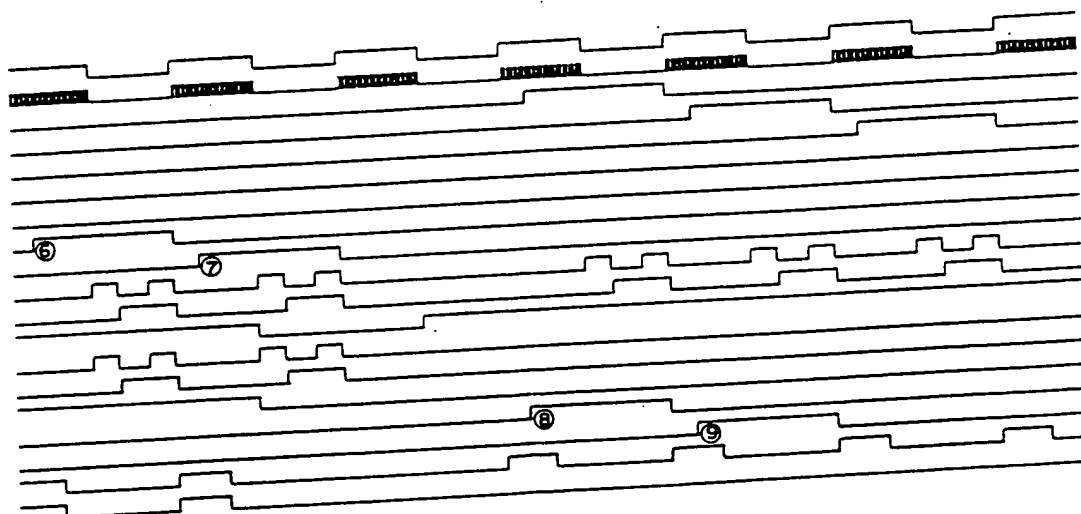


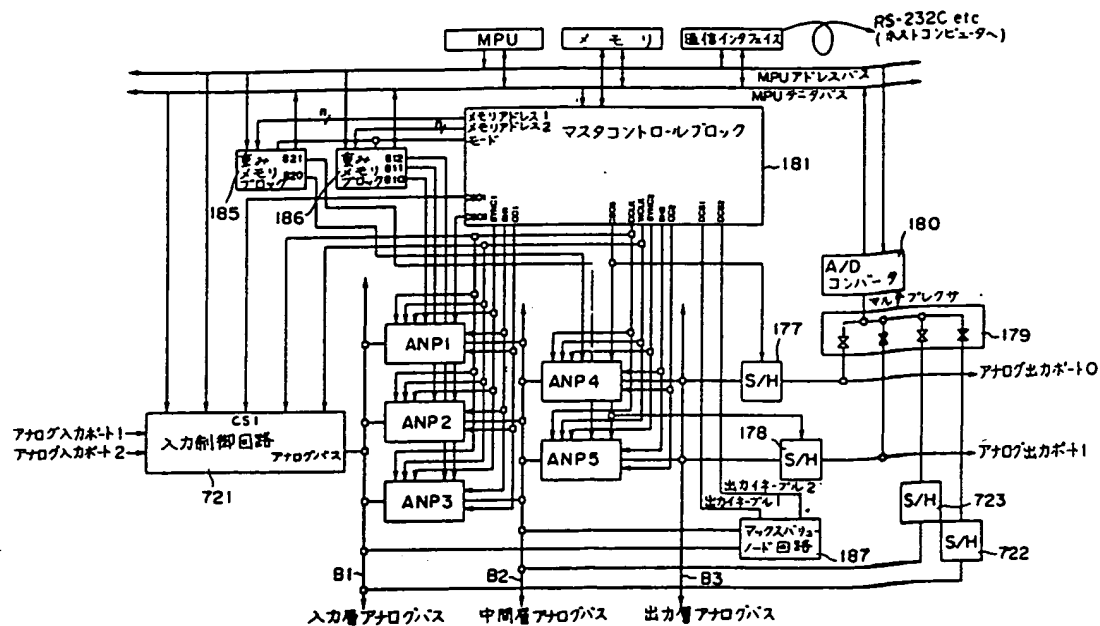
圖 23A



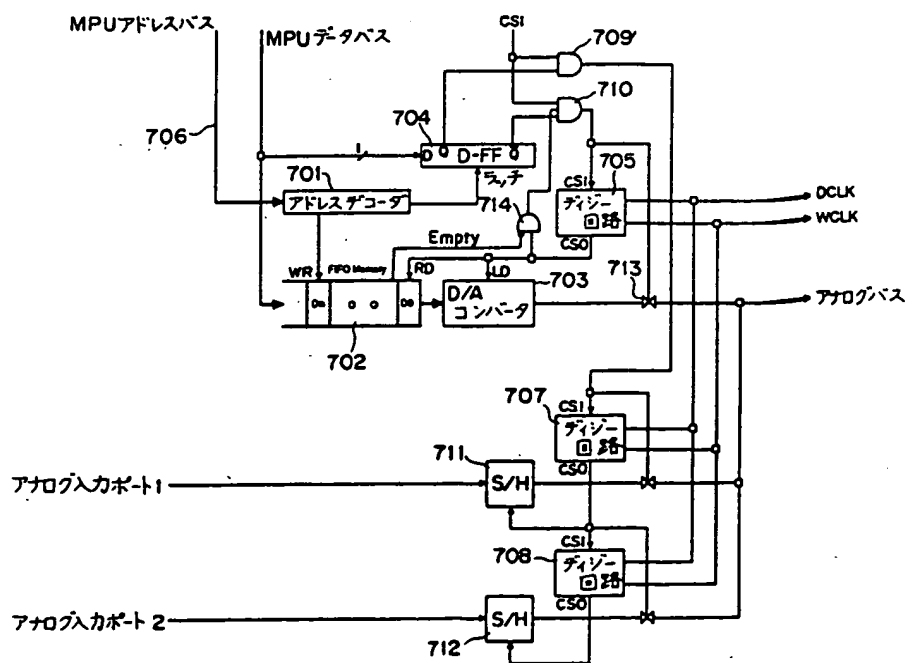
第25A図



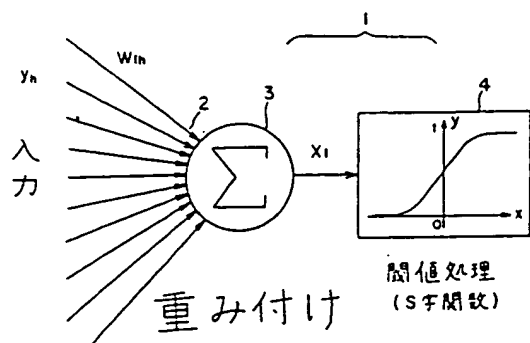
第25B図



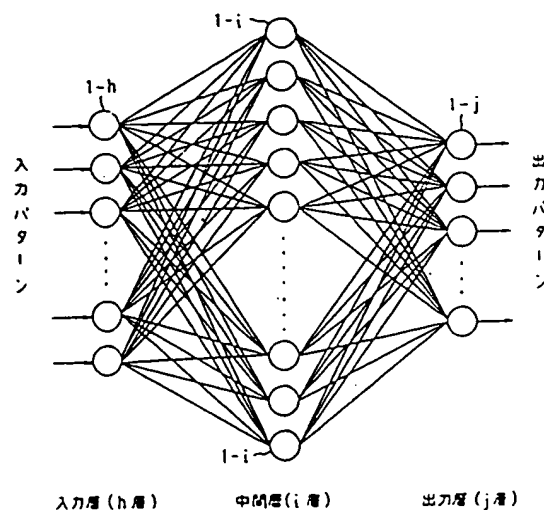
第 26 図



第 27 図



第 28 図



第 29 図

第1頁の続き

⑦発明者	都築	裕之	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	遠藤	秀一	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	川崎	貴	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	松田	俊春	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	岩本	弘	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	土屋	主税	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内
⑦発明者	石川	勝哉	神奈川県川崎市中原区上小田中1015番地	富士通株式会社内